

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

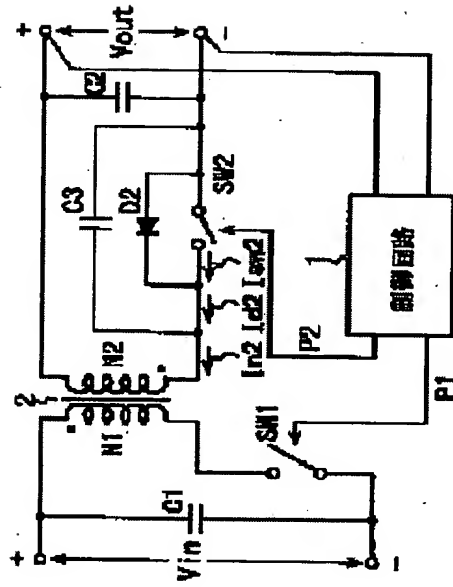
SNUBBER CIRCUIT

Patent number: JP11055945
Publication date: 1999-02-26
Inventor: SATO TOSHIMITSU; SHIMIZU
Applicant: FUJITSU DENSO LTD
Classification:
- International: H02M3/28; H02M1/08; H02M3/155
- european:
Application number: JP19970203209 19970729
Priority number(s):

Abstract of JP11055945

PROBLEM TO BE SOLVED: To suppress surge voltage and reduce a switching loss, by controlling a circuit so that, when a main switch is turned on, a synchronous rectifying switch may be turned off, and when the main switch is turned off, discharge current may be caused to flow in a capacitor for snubber and, after a specified delay time, the synchronous rectifying switch may be turned off.

SOLUTION: By means of a control circuit 1, a synchronous rectifying switch SW2 is turned off when a main switch SW1 is turned on and, when the main switch SW1 is turned off, discharge current is caused to flow in a capacitor C3 for snubber and, after current is caused to flow in a diode D2 using a delay circuit, the synchronous rectifying switch SW2 is turned off in a zero voltage state. By this method, a switching operation can be conducted in a zero voltage state, thereby reducing a switching loss and absorbing surge voltage by the capacitor C3 for snubber.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-55945

(43) 公開日 平成11年(1999) 2月26日

(51) Int.Cl.⁸
H 0 2 M 3/28

識別記号

F I
H 0 2 M 3/28F
R
T1/08
3/155

3 3 1

1/08
3/1553 3 1 Z
F

審査請求 未請求 請求項の数 7 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願平9-203209

(22) 出願日 平成9年(1997) 7月29日

(71) 出願人 000237662

富士通電装株式会社

神奈川県川崎市高津区坂戸1丁目17番3号

(72) 発明者 佐藤 利光

神奈川県川崎市高津区坂戸1丁目17番3号

富士通電装株式会社内

(72) 発明者 清水 久雄

神奈川県川崎市高津区坂戸1丁目17番3号

富士通電装株式会社内

(74) 代理人 弁理士 柏谷 昭司 (外2名)

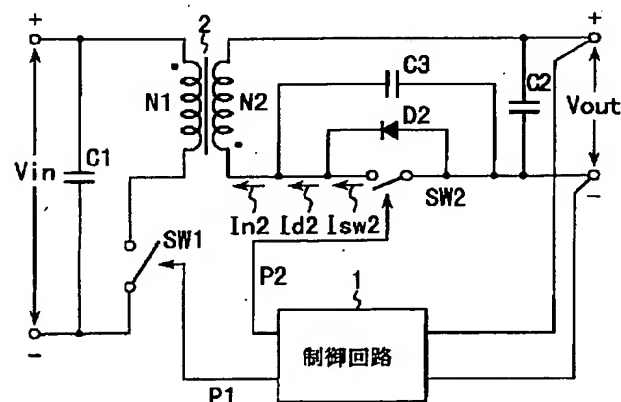
(54) 【発明の名称】 スナバ回路

(57) 【要約】

【課題】 スイッチング電源装置のスナバ回路に関し、スイッチング損失を低減する。

【解決手段】 電界効果トランジスタ等によるメインスイッチSW1と逆位相にオン、オフ制御される且つダイオードD2を並列接続した構成の電界効果トランジスタ等による同期整流スイッチSW2と、この同期整流スイッチSW2に並列に接続したスナバ用コンデンサC3と、駆動信号P1によりメインスイッチSW1をオンとした時に、駆動信号P2により同期整流スイッチSW2をオフとし、メインスイッチSW1をオフとした時に、スナバ用コンデンサC3に放電電流が流れ、次にダイオードD2に電流が流れた後の零電圧状態で同期整流スイッチSW2をオンとする制御回路1を備えている。

本発明の第1の実施の形態の説明図



【特許請求の範囲】

【請求項1】 メインスイッチと逆位相にオン、オフ制御され且つダイオードを並列接続した構成の同期整流スイッチと、

該同期整流スイッチと並列に接続したスナバ用コンデンサと、

出力端子間に接続した平滑用コンデンサと、

前記出力端子間の出力電圧を一定化するように前記メインスイッチのオン、オフを制御し、該メインスイッチをオンとした時に前記同期整流スイッチをオフとし、前記メインスイッチをオフとした時に前記スナバ用コンデンサに放電電流が流れ且つ前記ダイオードに電流が流れた後の遅延時間を設定して零電圧状態で前記同期整流スイッチをオンとする構成の制御回路とを備えたことを特徴とするスナバ回路。

【請求項2】 前記制御回路は、前記メインスイッチをオンとするオン駆動信号及びオフとするオフ駆動信号を反転する反転回路と、該反転回路により反転された前記メインスイッチのオン駆動信号を前記同期整流スイッチをオフとするオフ駆動信号とし、該反転回路により反転された前記メインスイッチのオフ駆動信号を遅延回路を介して前記同期整流スイッチをオンとするオン駆動信号とする構成を備えたことを特徴とする請求項1記載のスナバ回路。

【請求項3】 メインスイッチをトランスの一次巻線に接続し、ダイオードを並列接続した構成の同期整流スイッチを前記トランスの二次巻線に接続し、出力端子間に平滑用コンデンサを接続したフライバックコンバータ構成のスイッチング電源装置に於いて、前記同期整流スイッチに並列に接続したスナバ用コンデンサと、

前記出力端子間の出力電圧を一定化するように前記メインスイッチのオン、オフを制御し、該メインスイッチをオンとした時に前記同期整流スイッチをオフとし、前記メインスイッチをオフとした時に前記スナバ用コンデンサに放電電流が流れ且つ前記ダイオードに電流が流れた後の遅延時間を設定して零電圧状態で前記同期整流スイッチをオンとする構成の制御回路とを備えたことを特徴とするスナバ回路。

【請求項4】 メインスイッチをトランスの一次巻線に接続し、該トランスの二次巻線に、ダイオードを並列接続した構成の第1、第2の同期整流スイッチを前記ダイオードが逆極性となるように直列接続し、前記第1の同期整流スイッチの両端に、平滑用リアクトルと平滑用コンデンサとの直列回路を接続し、該平滑用コンデンサの両端を出力端子間に接続したフォワードコンバータ構成のスイッチング電源装置に於いて、前記第2の同期整流スイッチに並列に接続したスナバ用コンデンサと、

前記出力端子間の出力電圧を一定化するように前記メイ

ンスイッチのオン、オフを制御し、該メインスイッチをオンとした時に前記第2の同期整流スイッチをオンとし且つ前記第1の同期整流スイッチをオフとし、前記メインスイッチをオフとした時に、前記第2の同期整流スイッチをオフとし且つ前記スナバ用コンデンサに放電電流が流れ且つ前記ダイオードに電流が流れた後の遅延時間を設定して零電圧状態で前記第1の同期整流スイッチをオンとする構成の制御回路とを備えたことを特徴とするスナバ回路。

【請求項5】 出力端子間に平滑用コンデンサを接続し、電源の入力端子と前記出力端子との間にリアクトルとダイオードを並列接続した構成の同期整流スイッチとを直列に接続し、前記リアクトルと前記ダイオードとの接続点にメインスイッチを接続したブーストコンバータ構成のスイッチング電源装置に於いて、前記同期整流スイッチに並列に接続したスナバ用コンデンサと、

前記出力端子間の出力電圧を一定化するように前記メインスイッチのオン、オフを制御し、該メインスイッチをオンとした時に前記同期整流スイッチをオフとし、前記メインスイッチをオフとした時に前記スナバ用コンデンサに放電電流が流れ且つ前記ダイオードに電流が流れた後の遅延時間を設定して零電圧状態で前記同期整流スイッチをオンとする構成の制御回路とを備えたことを特徴とするスナバ回路。

【請求項6】 出力端子間に平滑用コンデンサを接続し、電源の入力端子と前記出力端子との間にメインスイッチとダイオードを並列接続した構成の同期整流スイッチとを直列に接続し、前記メインスイッチと前記ダイオードとの接続点にリアクトルを接続したバックブーストコンバータ構成のスイッチング電源装置に於いて、前記同期整流スイッチに並列に接続したスナバ用コンデンサと、

前記出力端子間の出力電圧を一定化するように前記メインスイッチのオン、オフを制御し、該メインスイッチをオンとした時に前記同期整流スイッチをオフとし、前記メインスイッチをオフとした時に前記スナバ用コンデンサに放電電流が流れ、且つ前記ダイオードに電流が流れた後の遅延時間を設定して零電圧状態で前記同期整流スイッチをオンとする構成の制御回路とを備えたことを特徴とするスナバ回路。

【請求項7】 出力端子間に平滑用コンデンサを接続し、電源の入力端子と前記出力端子との間にメインスイッチとリアクトルとを直列に接続し、前記メインスイッチと前記リアクトルとの接続点に、ダイオードを並列接続した構成の同期整流スイッチを接続したバックコンバータ構成のスイッチング電源装置に於いて、前記同期整流スイッチに並列に接続したスナバ用コンデンサと、

前記出力端子間の出力電圧を一定化するように前記メイ

ンスイッチのオン、オフを制御し、該メインスイッチをオンとした時に前記同期整流スイッチをオフとし、前記メインスイッチをオフとした時に前記スナバ用コンデンサに放電電流が流れ且つ前記ダイオードに電流が流れた後の遅延時間を設定して零電圧状態で前記同期整流スイッチをオンとする構成の制御回路とを備えたことを特徴とするスナバ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、スイッチング電源装置に於けるスナバ回路に関する。スイッチング電源装置は、入力電圧を所望の電圧に変換し、更には安定化するように、電界効果トランジスタ等のスイッチング素子のオン、オフを制御するものであり、既に各種の構成が知られている。このようなスイッチング電源装置に於いて、スイッチング素子のターンオフ時や整流用ダイオードの逆回復時等に於けるサージ電圧による耐圧等の問題を解決する為にスナバ（Snubber）回路が設けられている。又スイッチング電源装置の効率を向上することが要望され、それに伴ってスナバ回路等に於ける損失の低減が必要となる。

【0002】

【従来の技術】図9は従来例のフライバックコンバータ構成の説明図であり、図示の極性の入力電圧 V_{in} を、トランスTの一次巻線N1にメインスイッチSWによってオン、オフして印加し、二次巻線N2に誘起した電圧を整流用のダイオードDによって整流し、平滑用コンデンサC2によって平滑化し、図示の極性の出力電圧 V_{out} を制御回路CONTに於いて検出し、設定基準電圧と比較して誤差分が零に近づくように、メインスイッチSWのオン期間を駆動信号P1によって制御するものである。又メインスイッチSWは、バイポーラトランジスタや電界効果トランジスタ等によって構成されている。

【0003】図10は従来例の動作説明図であり、P1はメインスイッチSWの駆動信号、 I_{n2} はトランスTの二次巻線N2に流れる電流、 V_d は整流用ダイオードDの両端の電圧を示す。駆動信号P1をハイレベルとすると、メインスイッチSWはオンとなる。このオン期間を T_{on} で示す。又駆動信号P1をローレベルとすると、メインスイッチSWはオフとなる。このオフ期間を T_{off} で示す。

【0004】ハイレベルの駆動信号P1によりメインスイッチSWがオンとなると、入力電圧 V_{in} による電流がトランスTの一次巻線N1に流れて、励磁エネルギーとして蓄積され、その時、整流用ダイオードDには、逆方向電圧が V_d として示すように印加される。従って、メインスイッチSWのオン期間 T_{on} には、二次巻線N2の電流 I_{n2} は零となる。

【0005】次に、ローレベルの駆動信号P1によりメインスイッチSWがオフとなると、トランスTの二次巻

線N2に誘起した電圧が整流用ダイオードDの順方向となる。それによって、トランスTの二次巻線N2に整流用ダイオードDを介して電流 I_{n2} が流れる。従って、メインスイッチSWのオフ期間 T_{off} に、二次巻線N2に電流 I_{n2} が流れ、負荷電流及び平滑用コンデンサC2の充電電流となり、メインスイッチSWがオンとなると、トランスTの二次巻線N2の誘起電圧が反転するから、整流用ダイオードDに逆方向電圧として印加され、電流 I_{n2} は零となる。

【0006】又メインスイッチSWがターンオンした時に、整流用ダイオードDに印加される電圧は順方向電圧から逆方向電圧に変化する。その時、整流用ダイオードDの逆回復特性に対応して、整流用ダイオードDに印加される電圧 V_d に、サージ電圧 V_s が発生する。特に、逆回復が遅い整流用ダイオードの場合、逆電流が大きくなって、サージ電圧 V_s は高くなる。

【0007】図11は従来例のブーストコンバータ構成及びバックブーストコンバータ構成の説明図であり、

(A)はブーストコンバータ構成のスイッチング電源装置の要部を示し、C1は入力側のコンデンサ、Lはリアクトル、SWはメインスイッチ、Dはダイオード、C2は平滑用コンデンサ、CONTは制御回路、 V_{in} は入力電圧、 V_{out} は出力電圧である。

【0008】リアクトルLとダイオードDとを入力端子と出力端子との間に直列的に接続し、その接続点にメインスイッチSWを接続した構成であり、制御回路CONTによりメインスイッチSWをオンとすると、図示の極性の入力電圧 V_{in} は、リアクトルLに直接的に印加されて電流が流れ、励磁エネルギーがリアクトルLに蓄積される。又平滑用コンデンサC2の充電電圧は、ダイオードDに逆方向電圧として印加されて、オン状態のメインスイッチSWを介して放電することを阻止している。

【0009】次に、メインスイッチSWをオフとすると、リアクトルLに蓄積された励磁エネルギーによって、電流の連続性を維持する方向の電圧が発生し、この電圧は入力電圧 V_{in} に加算され、ダイオードDを介して平滑用コンデンサC2に印加されて充電される。従って、図示の極性の出力電圧 V_{out} は、入力電圧 V_{in} にリアクトルLによる電圧を加算した値となる。この出力電圧 V_{out} を制御回路CONTによって検出し、設定した一定の出力電圧 V_{out} となるように、メインスイッチSWのオン期間を制御することになる。

【0010】又図11の(B)は、バックブーストコンバータ構成のスイッチング電源装置の要部を示し、

(A)と同一符号は同一の名称部分を示し、入力端子と出力端子との間に、メインスイッチSWとダイオードDとを直列的に接続し、その接続点にリアクトルLを接続した構成であり、制御回路CONTは、図示の極性の出力電圧 V_{out} を検出して、設定した電圧となるように、メインスイッチSWのオン、オフを制御する。この

メインスイッチSWをオンとすると、図示の極性の入力電圧 V_{in} はリアクトルLに印加されて電流が流れ、励磁エネルギーが蓄積される。その時、ダイオードDには逆方向電圧が印加される。

【0011】そして、メインスイッチSWをオフとすると、リアクトルLに流れる電流の連続性を維持する為に電圧が誘起し、ダイオードDに順方向電圧が印加されることになる。このダイオードDを介してリアクトルLを流れる電流により平滑用コンデンサC2が図示の極性

(図11の(A)の場合と反対極性)に充電されて、その両端の電圧が出力電圧 V_{out} となる。この構成のスイッチング電源装置は、昇圧型又は降圧型の何れの構成とすることも可能である。

【0012】図12は従来例のバックコンバータ構成及びフォワードコンバータ構成の説明図であり、(A)はバックコンバータ構成のスイッチング電源装置の要部を示し、入力端子間にはコンデンサC1を接続し、出力端子間には平滑用コンデンサC2を接続し、入力端子と出力端子との間にメインスイッチSWとリアクトルLとを直列的に接続し、その接続点にダイオードDを接続した構成であり、このダイオードDは、メインスイッチSWをオンとした時に、図示の極性の入力電圧 V_{in} が逆方向電圧として印加される極性となるように接続する。

【0013】制御回路CONTは、図示の極性の出力電圧 V_{out} を検出して、設定した電圧となるように、メインスイッチSWのオン、オフを制御する。このメインスイッチSWをオンとすると、入力電圧 V_{in} はリアクトルLを介して出力端子に接続した平滑用コンデンサC2及び負荷に印加される。この時、リアクトルLに印加される電圧 V_L は、 $V_L = V_{in} - V_{out}$ となり、リアクトルLはこの電圧 V_L に従って励磁され、又平滑用コンデンサC2が充電される。

【0014】そして、メインスイッチSWをオフとすると、リアクトルLに流れる電流の連続性維持の特性により誘起された電圧は、ダイオードDに対して順方向の極性となる。従って、平滑用コンデンサC2の充電及び負荷電流の供給が継続される。この構成に於いては、リアクトルLに蓄積される励磁エネルギーが、入力電圧 V_{in} と出力電圧 V_{out} との差分に従ったものとなり、降圧型のスイッチング電源装置を構成することになる。

【0015】又図12の(B)はフォワードコンバータ構成のスイッチング電源装置の要部を示し、トランスTの一次巻線N1にメインスイッチSWを接続し、入力端子にコンデンサC1を接続し、制御回路CONTによりメインスイッチSWをオン、オフ制御し、トランスTの一次巻線N1に印加する図示の極性の入力電圧 V_{in} をオン、オフする。

【0016】メインスイッチSWをオンとしたことによる二次巻線N2の誘起電圧は、ダイオードDaには順方向、ダイオードDbには逆方向の極性となり、二次巻線

N2に流れる電流は、ダイオードDaとリアクトルLとを介して平滑用コンデンサC2の充電電流及び負荷電流となって、リアクトルLには励磁エネルギーが蓄積される。又平滑用コンデンサC2の両端の図示の極性の電圧が出力電圧 V_{out} となる。制御回路CONTは、この出力電圧 V_{out} を検出し、設定した基準電圧と比較し、誤差分を零とするように、パルス幅制御等によってメインスイッチSWのオン期間を制御する。

【0017】又メインスイッチSWをオフとすると、トランスTの二次巻線N2の誘起電圧の極性は反転するから、ダイオードDaには逆方向、ダイオードDbには順方向の電圧となる。しかし、ダイオードDbに対する印加電圧は、ダイオードDaによって阻止される。又リアクトルLは、電流の連続性を維持する為に、蓄積された励磁エネルギーによりダイオードDbには順方向となる電圧が誘起される。従って、平滑用コンデンサC2の充電電流及び負荷電流が供給される。

【0018】又前述の図9、図11、図12に示すスイッチング電源装置以外に、ハーフブリッジ型、フルブリッジ型、電圧共振型、電流共振型、同期整流型等の各種の構成が知られている。

【0019】

【発明が解決しようとする課題】 前述の従来例に於けるダイオードDは、順方向電圧が印加された場合、通常のpn接合型のダイオードの場合に、約0.6Vの電圧降下が生じることから、電力損失が生じる。そこで、ダイオードDと並列にスイッチを接続して同期型とした構成が知られている。即ち、ダイオードDに順方向電圧が印加されるタイミングに於いてスイッチをオンとし、逆方向電圧が印加されるタイミングに於いてオフとすることにより、殆ど無損失に近い状態のダイオード特性を得ることができる。しかし、スイッチのオン、オフに於いて零電圧状態で行うことができないことによる損失が問題となる。又ダイオードの逆回復によるサージ電圧が耐圧に及ぼす影響が問題となる。本発明は、前述のサージ電圧を抑制し、且つスイッチング損失を無視できるようにするスナバ回路を提供することを目的とする。

【0020】

【課題を解決するための手段】 本発明のスナバ回路は、

(1) メインスイッチSW1と逆位相にオン、オフ制御され且つダイオードD2を並列接続した構成の同期整流スイッチSW2と、この同期整流スイッチSW2と並列に接続したスナバ用コンデンサC3と、出力端子間に接続した平滑用コンデンサC2と、出力端子間の出力電圧を一定化するように、メインスイッチSW1のオン、オフを制御し、このメインスイッチSW1をオンとした時に同期整流スイッチSW2をオフとし、メインスイッチSW1をオフとした時に、スナバ用コンデンサC3に放電電流が流れ且つダイオードD2に電流が流れた後の遅延時間を設定して、同期整流スイッチSW2をオンとす

る構成の制御回路1とを備えている。それによって、同期整流スイッチSW2を零電圧スイッチング制御とし、スイッチング損失を無視できるようする。

【0021】又(2)制御回路1は、メインスイッチSW1をオンとするオン駆動信号及びオフとするオフ駆動信号を反転する反転回路と、この反転回路により反転されたメインスイッチSW1のオン駆動信号を、同期整流スイッチSW2をオフとするオフ駆動信号とし、この反転回路により反転されたメインスイッチSW1のオフ駆動信号を遅延回路を介して同期整流スイッチSW2をオンとするオン駆動信号とする構成を備えることができる。

【0022】又(3)メインスイッチSW1をトランス2の一次巻線N1に接続し、ダイオードD2を並列接続した構成の同期整流スイッチSW2をトランス2の二次巻線N2に接続し、出力端子間に平滑用コンデンサC2を接続したフライバックコンバータ構成のスイッチング電源装置に於いて、同期整流スイッチSW1に並列に接続したスナバ用コンデンサC3と、出力端子間の出力電圧を一定化するようにメインスイッチSW1のオン、オフを制御し、このメインスイッチSW1をオンとした時に同期整流スイッチSW2をオフとし、メインスイッチSW1をオフとした時にスナバ用コンデンサC3に放電電流が流れ且つダイオードD2に電流が流れた後の遅延時間を設定して同期整流スイッチSW1をオンとする構成の制御回路1とを備えることができる。

【0023】又(4)メインスイッチをトランスの一次巻線に接続し、このトランスの二次巻線に、ダイオードを並列接続した構成の第1、第2の同期整流スイッチを、前記ダイオードが逆極性となるように直列接続し、第2の同期整流スイッチの両端に、平滑用リアクトルと平滑用コンデンサとの直列回路を接続し、平滑用コンデンサの両端を出力端子間に接続したフォワードコンバータ構成のスイッチング電源装置に於いて、第2の同期整流スイッチに並列に接続したスナバ用コンデンサと、出力端子間の出力電圧を一定化するようにメインスイッチのオン、オフを制御し、このメインスイッチをオンとした時に第1の同期整流スイッチをオンとし且つ第2の同期整流スイッチをオフとし、メインスイッチをオフとした時に、第1の同期整流スイッチをオフとし且つスナバ用コンデンサに放電電流が流れ且つダイオードに電流が流れた後の遅延時間を設定して第2の同期整流スイッチをオンとする構成の制御回路とを備えることができる。

【0024】又(5)出力端子間に平滑用コンデンサを接続し、電源の入力端子と前記出力端子との間にリアクトルとダイオードを並列接続した構成の同期整流スイッチとを直列に接続し、リアクトルとダイオードとの接続点にメインスイッチを接続したブーストコンバータ構成のスイッチング電源装置に於いて、同期整流スイッチに並列に接続したスナバ用コンデンサと、出力端子間の出

力電圧を一定化するようにメインスイッチのオン、オフを制御し、このメインスイッチをオンとした時に同期整流スイッチをオフとし、メインスイッチをオフとした時にスナバ用コンデンサに放電電流が流れ且つダイオードに電流が流れた後の遅延時間を設定して同期整流スイッチをオンとする構成の制御回路とを備えることができる。

【0025】又(6)出力端子間に平滑用コンデンサを接続し、電源の入力端子と前記出力端子との間にメインスイッチとダイオードを並列接続した構成の同期整流スイッチとを直列に接続し、メインスイッチとダイオードとの接続点にリアクトルを接続したバックブーストコンバータ構成のスイッチング電源装置に於いて、同期整流スイッチに並列に接続したスナバ用コンデンサと、出力端子間の出力電圧を一定化するように前記メインスイッチのオン、オフを制御し、このメインスイッチをオンとした時に同期整流スイッチをオフとし、メインスイッチをオフとした時にスナバ用コンデンサに放電電流が流れ、且つ前記ダイオードに電流が流れた後の遅延時間を設定して同期整流スイッチをオンとする構成の制御回路とを備えることができる。

【0026】又(7)出力端子間に平滑用コンデンサを接続し、電源の入力端子と前記出力端子との間にメインスイッチとリアクトルとを直列に接続し、メインスイッチとリアクトルとの接続点に、ダイオードを並列接続した構成の同期整流スイッチを接続したバックコンバータ構成のスイッチング電源装置に於いて、同期整流スイッチに並列に接続したスナバ用コンデンサと、出力端子間の出力電圧を一定化するようにメインスイッチのオン、オフを制御し、このメインスイッチをオンとした時に同期整流スイッチをオフとし、メインスイッチをオフとした時にスナバ用コンデンサに放電電流が流れ且つダイオードに電流が流れた後の遅延時間を設定して同期整流スイッチをオンとする構成の制御回路とを備えることができる。

【0027】

【発明の実施の形態】図1は本発明の第1の実施の形態の説明図であり、フライバックコンバータ構成のスイッチング電源装置に適用した場合を示し、1は制御回路、2はトランス、N1は一次巻線、N2は二次巻線、C1は入力側のコンデンサ、C2は平滑用コンデンサ、C3はスナバ用コンデンサ、SW1はメインスイッチ、SW2は同期整流スイッチ、D2はダイオード、Vinは入力電圧、Voutは出力電圧、P1、P2は駆動信号を示す。

【0028】ダイオードD2を並列接続した構成の同期整流スイッチSW2に、並列にスナバ用コンデンサC3を接続する。又制御回路1は、図示の極性の出力電圧Voutを検出して設定した基準電圧と比較し、誤差分が零となるように、駆動信号P1によってメインスイッチ

SW1のオン期間を制御する。このようなメインスイッチSW1を制御する基本構成は従来例と同様であり、例えば、パルス幅変調(PWM)制御として知られている各種の構成を適用することができる。又フライバックコンバータ構成として出力電圧 V_{out} を一定化する動作は、前述の図9に示す構成と同様であるから、重複する説明は省略する。本発明に於いては、メインスイッチSW1をオンとした時に同期整流スイッチSW2をオフ、反対にメインスイッチSW1をオフとした時に、スナバ用コンデンサC3に放電電流が流れ、且つダイオードD2に電流が流れた後に、同期整流スイッチSW2をオンとする。このような構成は、遅延回路を適用して容易に構成することができる。

【0029】図2は本発明の第1の実施の形態の動作説明図であり、P1はメインスイッチSW1の駆動信号、P2は同期整流スイッチSW2の駆動信号、 I_{n2} はトランス2の二次巻線N2に流れる電流、 I_{d2} はダイオードD2及び同期整流スイッチSW2に流れる電流、 I_{sw2} は同期整流スイッチSW2に流れる電流、 V_{sw2} は同期整流スイッチSW2の印加電圧のそれぞれ波形の一例を示す。

【0030】駆動信号P1をハイレベルとしてメインスイッチSW1をオンとした時の期間を T_{on1} とし、又ローレベルとしてメインスイッチSW1をオフとした時の期間を T_{off1} とし、又駆動信号P2をハイレベルとして同期整流スイッチSW2をオンとした時の期間を T_{on2} とし、又ローレベルとして同期整流スイッチSW2をオフとした時の期間を T_{off2} として示す。

【0031】メインスイッチSW1のオン期間 T_{on1} に於いて、トランス2に励磁エネルギーが蓄積される。又同期整流スイッチSW2はオフであると共に、トランス2の二次巻線N2の誘起電圧及び平滑用コンデンサC2の充電電圧によって、ダイオードD2には逆極性の電圧が印加され、スナバ用コンデンサC3はこの電圧によって充電されている。

【0032】制御回路1は、出力電圧 V_{out} を検出してメインスイッチSW1を制御するもので、駆動信号P1をローレベルとしてメインスイッチSW1をターンオフさせた時、 T_{d1} の期間後に、駆動信号P2をハイレベルとして同期整流スイッチSW2をターンオンさせ、反対に、駆動信号P1をハイレベルとしてメインスイッチSW1をターンオンさせた時、駆動信号P2をローレベルとして同期整流スイッチSW2をターンオンさせる。

【0033】メインスイッチSW1がオン状態の時に、トランス2の二次巻線N2の誘起電圧及び平滑用コンデンサC2の充電電圧(出力電圧 V_{out})により、ダイオードD2には逆方向の電圧が印加され、又スナバ用コンデンサC3が充電されている。従って、同期整流スイッチSW2とダイオードD2とスナバ用コンデンサC3

との並列回路には、 V_{sw2} で示す電圧が印加されることになる。

【0034】そして、駆動信号P1をローレベルとしてメインスイッチSW1をターンオフさせると、トランス2の二次巻線N2に誘起する電圧は、ダイオードD2の順方向の極性となるが、ダイオードD2にはスナバ用コンデンサC3の充電電圧が逆方向電圧として印加された状態となり、ダイオードD2はオフ状態を継続する。そして、スナバ用コンデンサC3の充電電荷は、トランス2の二次巻線N2を介して平滑用コンデンサC2側へ放電されることになり、電流 I_{n2} はこの放電電流に対応したものとなる。そして、同期整流スイッチSW2に印加される電圧 V_{sw2} は、スナバ用コンデンサC3の放電に伴って急速に低下する。

【0035】そして、 T_{d2} の期間後、電圧 V_{sw2} が零となると、ダイオードD2を介して流れる電流 I_{d2} が急上昇し、二次巻線N2に流れる電流 I_{n2} は、ほぼこの電流 I_{d2} となる。そして、同期整流スイッチSW2の両端の電圧 V_{sw2} が零の期間、即ち、 T_{d3} の期間中に駆動信号P2をハイレベルとして、同期整流スイッチSW2をターンオンさせる。それによって、同期整流スイッチSW2を介して電流 I_{sw2} が流れ、殆ど無損失の状態では電流 I_{sw2} を流すことができる。又零電圧状態でスイッチングさせることができるから、スイッチング損失を零とすることができる。

【0036】又駆動信号P1をハイレベルとしてメインスイッチSW1をターンオンさせ、且つ駆動信号P2をローレベルとして同期整流スイッチSW2をターンオフさせると、トランス2の二次巻線N2にはダイオードD2の逆方向の極性の電圧が誘起され、ダイオードD2はオフ状態となり、スナバ用コンデンサC3に充電電流が流れることになり、この電流は T_{d4} の期間流れることになる。従って、同期整流スイッチSW2に印加される電圧 V_{sw2} は、スナバ用コンデンサC3の充電特性に対応した傾きで上昇する。従って、同期整流スイッチSW2を零電圧状態でスイッチングさせることができる。なお、ダイオードD2の逆回復によるサージ電圧は、スナバ用コンデンサC3によって吸収することができる。

【0037】図3は同期整流スイッチの説明図であり、(A)は図1に示す同期整流スイッチSW2とダイオードD2とを示し、駆動信号P2によって同期整流スイッチSW2のオン、オフを制御するものであるが、この構成を(B)に示す電界効果トランジスタ3によって実現することができる。この場合、nチャネル電界効果トランジスタには、寄生ダイオード4が含まれるから、この寄生ダイオード4をダイオードD2として使用することができる。又メインスイッチSW1も、このような電界効果トランジスタ3によって構成することができる。

【0038】図4は本発明の第2の実施の形態の説明図であり、図1に示す構成を更に具体化した場合を示し、

図1と同一符号は同一部分を示し、3はダイオード4を並列接続した構成のnチャネルの電界効果トランジスタからなる同期整流スイッチ、5は同様にnチャネルの電界効果トランジスタからなるメインスイッチ、6はパルス幅制御回路(PWMC)、7はインバータ(反転回路)、8は遅延回路(DL)、9、10はダイオードである。

【0039】制御回路1は、パルス幅制御回路6と、インバータ7と、遅延回路8と、ダイオード9、10とを有する場合を示し、パルス幅制御回路6は、出力電圧 V_{out} を検出し、設定した基準電圧と比較して、出力電圧 V_{out} が高い場合はオン期間 T_{on1} を短くするように、駆動信号P1のハイレベルの期間を短くし、出力電圧 V_{out} が低い場合はオン期間 T_{on1} を長くするように、駆動信号P1のハイレベルの期間を長くする構成を有し、既に知られている各種の構成を適用することができる。

【0040】このパルス幅制御回路6からの駆動信号P1をインバータ7によって反転し、メインスイッチ5をオンとするオン駆動信号(ハイレベルの駆動信号P1)は、インバータ7により反転されてローレベルとなり、ダイオード10を介して同期整流スイッチ3のゲートに、オフ駆動信号(ローレベルの駆動信号P2)として加えられる。従って、メインスイッチ5がターンオンされると共に同期整流スイッチ3はターンオフされる。

【0041】又メインスイッチ5をオフとするオフ駆動信号(ローレベルの駆動信号P1)は、インバータ7により反転されてハイレベルとなり、ダイオード9と遅延回路8とを介して同期整流スイッチ3のゲートに、オン駆動信号(ハイレベルの駆動信号P2)として加えられる。この遅延回路8の遅延時間を前述の T_{d1} の期間に相当するように設定する。

【0042】従って、メインスイッチ5をオフとするオフ駆動信号をインバータ7により反転した信号のみが遅延回路8によって遅延されて、同期整流スイッチ3のオン駆動信号となり、メインスイッチ5がターンオフされた後、 T_{d1} の期間後に、同期整流スイッチ3はターンオンされて、零電圧スイッチングを行わせることができる。

【0043】図5は本発明の第3の実施の形態の説明図であり、ブーストコンバータ構成のスイッチング電源装置の要部を示し、 V_{in} は入力電圧、 V_{out} は出力電圧、C1は入力側のコンデンサ、C2は平滑用コンデンサ、C3はスナバ用コンデンサ、SW1はメインスイッチ、SW2は同期整流スイッチ、D2はダイオード、Lはリアクトル、1は制御回路、P1 P2は駆動信号を示す。

【0044】出力端子間に平滑用コンデンサC2を接続し、入力端子間にコンデンサC1を接続し、入力端子と出力端子との間に、リアクトルLと、ダイオードD2を

並列接続した構成の同期整流スイッチSW2とを直列的に接続し、その接続点にメインスイッチSW1を接続し、同期整流スイッチSW2に並列にスナバ用コンデンサC3を接続し、制御回路1は、図示の極性の出力電圧 V_{out} を検出して、設定した基準電圧と比較し、誤差分が零に近づくように、メインスイッチSW1のオン期間を制御する。

【0045】制御回路1からの駆動信号P1によって、メインスイッチSW1がオンの時、駆動信号P2により同期整流スイッチSW2はオフであり、リアクトルLに入力電圧 V_{in} による電流が流れて励磁エネルギーが蓄積され、又スナバ用コンデンサC3は、平滑用コンデンサC2の充電電圧によって充電され、その端子間電圧は、ダイオードD2に対して逆方向の極性となる。

【0046】次に、駆動信号P1によりメインスイッチSW1をオフとした時、同期整流スイッチSW2はオフを継続しており、リアクトルLの蓄積励磁エネルギーによる電圧が入力電圧 V_{in} に加算された状態で、スナバ用コンデンサC3と平滑用コンデンサC2とに印加される。その時、ダイオードD2には逆方向の電圧が印加された状態となり、又スナバ用コンデンサC3は放電して、その端子間電圧が急速に低下し、零となると、ダイオードD2に順方向の電圧が印加されることになる。それによって、ダイオードD2を介して電流が流れる。この時は、同期整流スイッチSW2の両端の電圧は零Vであるから、この時点、即ち、メインスイッチSW1をターンオフさせた後、所定の遅延時間後に、同期整流スイッチSW2をオンさせる。それにより、ダイオードD2による損失が生じない状態とし、且つ零電圧スイッチングを可能とする。

【0047】図6は本発明の第4の実施の形態の説明図であり、コンデンサC1を接続した入力端子と、平滑用コンデンサC2を接続した出力端子との間に、メインスイッチSW1と、ダイオードD2を並列接続した構成の同期整流スイッチSW2とを直列的に接続し、その接続点にリアクトルLを接続したバックブーストコンバータ構成のスイッチング電源装置の要部を示し、同期整流スイッチSW2と並列にスナバ用コンデンサC3を接続し、制御回路1からの駆動信号P1によりメインスイッチSW1をオン、オフ制御し、これと逆位相関係の駆動信号P2により同期整流スイッチSW2をオン、オフ制御する。

【0048】メインスイッチSW1をオフとした時、同期整流スイッチSW2は前述の各実施の形態と同様にオフ状態を継続し、その間に、リアクトルLに於ける誘起電圧によって、スナバ用コンデンサC3は放電し、且つ平滑用コンデンサC2は図示の極性に充電される。スナバ用コンデンサC3が放電して、その端子間電圧が零Vとなると、ダイオードD2を介してリアクトルLの誘起電圧による電流が流れて平滑用コンデンサC2の充電が

継続される。この時、同期整流スイッチSW2の両端の電圧は零Vとなるから、同期整流スイッチSW2を駆動信号P2によってターンオンさせる。即ち、零電圧スイッチングを行うことができる。

【0049】図7は本発明の第5の実施の形態の説明図であり、コンデンサC1を接続した入力端子と、平滑用コンデンサC2を接続した出力端子との間に、メインスイッチSW1とリアクトルLとを直列的に接続し、その接続点に同期整流スイッチSW2を接続したバックコンバータ構成のスイッチング電源装置の要部を示し、同期整流スイッチSW2と並列にスナバ用コンデンサC3を接続し、制御回路1からの駆動信号P1によりメインスイッチSW1をオン、オフ制御し、これと逆位相関係の駆動信号P2により同期整流スイッチSW2をオン、オフ制御する。

【0050】制御回路1は、前述の各実施の形態と同様に、出力電圧Voutを一定化するように、駆動信号P1によりメインスイッチSW1のオン、オフを制御し、メインスイッチSW1をオンとした時に、同期整流スイッチSW2をオフとし、メインスイッチSW1をオフとした時に、スナバ用コンデンサC3に放電電流が流れ、次にダイオードD2に電流が流れた後に、同期整流スイッチSW2をオンとする構成を備えている。

【0051】例えば、メインスイッチSW1がオンの時、同期整流スイッチSW2はオフで、リアクトルLに電流が流れて励磁エネルギーとして蓄積され、又スナバ用コンデンサC3は、ダイオードD2に対して逆極性で充電される。次に、メインスイッチSW2をオフとすると、同期整流スイッチSW2はオフを継続し、リアクトルLに励磁エネルギーによる電圧が誘起し、スナバ用コンデンサC3は放電し、又平滑用コンデンサC2は充電される。

【0052】スナバ用コンデンサC3の放電により端子電圧が零となると、次はダイオードD2を介してリアクトルLに電流が流れる。この時に、同期整流スイッチSW2をターンオンさせる。即ち、零電圧スイッチングを行わせる。

【0053】図8は本発明の第6の実施の形態の説明図であり、メインスイッチSW1をトランス12の一次巻線N1に接続し、このトランス12の二次巻線N2に、ダイオードD2を並列接続した構成の第1の同期整流スイッチSW2と、ダイオードD3を並列接続した構成の第2の同期整流スイッチSW3とを、ダイオードD2、D3が逆極性となるように直列接続し、第1の同期整流スイッチSW2の両端に、平滑用リアクトルLと平滑用コンデンサC2との直列回路を接続し、平滑用コンデンサC2の両端を出力端子に接続したフォワードコンバータ構成のスイッチング電源装置の要部を示す。

【0054】このスイッチング電源装置の第1の同期整流スイッチSW2に並列にスナバ用コンデンサC3を接

続し、制御回路11は、出力電圧を一定化するように、メインスイッチSW1のオン、オフを制御し、このメインスイッチSW1のオン、オフと同期して、第2の同期整流スイッチSW3をオン、オフし、又メインスイッチSW1をオンとした時に、第1の同期整流スイッチSW2をオフとし、メインスイッチSW1をオフとした時に、スナバ用コンデンサC3に放電電流が流れ、次にダイオードD2に電流が流れた後、第1の同期整流スイッチSW2をオンとする構成を備えている。

【0055】従って、メインスイッチSW1がオンの時、第1の同期整流スイッチSW2はオフ、第2の同期整流スイッチSW3はオンとなり、トランス12の二次巻線N2の誘起電圧は、第3の同期整流スイッチSW3とリアクトルLとを介して平滑用コンデンサC2に印加される。又スナバ用コンデンサC3は、ダイオードD2に対して逆極性で充電される。

【0056】次にメインスイッチSW1をオフとすると、第2の同期整流スイッチSW3もオフとし、第1の同期整流スイッチSW2はオフ状態を継続する。それにより、スナバ用コンデンサC3はリアクトルLの誘起電圧により平滑用コンデンサC2側へ放電し、その端子電圧が零となると、ダイオードD2を介してリアクトルLを介して電流が流れる。その時に、第1の同期整流スイッチSW2をターンオンさせる。従って、零電圧スイッチングを行わせることができる。

【0057】本発明は、前述の各実施の形態にのみ限定されるものではなく、種々付加変更し得るものであり、第1～第3の同期整流スイッチSW1～SW3とダイオードD2、D3は、それぞれ寄生ダイオードを含む電界効果トランジスタによって実現することができる。又メインスイッチSW1をオフとした後の同期整流スイッチSW2のターンオンの遅れ時間は、図4に示す遅延回路により得る構成とするか、或いは、スナバ用コンデンサC3の放電電流を検出する構成を付加し、その放電電流を検出したタイミングを用いて、同期整流スイッチSW2のターンオン制御を行う構成とすることも可能である。

【0058】

【発明の効果】以上説明したように、本発明は、電界効果トランジスタ等によるメインスイッチSW1と、ダイオードD2を並列接続した構成の電界効果トランジスタ等による同期整流スイッチSW2と、この同期整流スイッチSW2に並列に接続したスナバ用コンデンサC3とを含み、制御回路は、出力電圧Voutを一定化するように、メインスイッチSW1のオン、オフを制御し、このメインスイッチSW1をオンとした時に、同期整流スイッチSW2をオフとし、メインスイッチSW1をオフとした時に、スナバ用コンデンサに放電電流が流れ、且つダイオードD2に電流が流れて、同期整流スイッチSW2に対する印加電圧が零となった時点でターンオンさ

せるもので、整流用としてのダイオードD2による損失を低減すると共に、零電圧スイッチングによりスイッチング損失を低減することができる利点がある。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態の説明図である。

【図2】 本発明の第1の実施の形態の動作説明図である。

【図3】 同期整流スイッチの説明図である。

【図4】 本発明の第2の実施の形態の説明図である。

【図5】 本発明の第3の実施の形態の説明図である。

【図6】 本発明の第4の実施の形態の説明図である。

【図7】 本発明の第5の実施の形態の説明図である。

【図8】 本発明の第6の実施の形態の説明図である。

【図9】 従来例のフライバックコンバータ構成の説明図である。

【図10】 従来例の動作説明図である。

【図11】 従来例のブーストコンバータ構成及びバックブーストコンバータ構成の説明図である。

【図12】 従来例のバックコンバータ構成及びフォワードコンバータ構成の説明図である。

【符号の説明】

1 制御回路

2 トランス

SW1 メインスイッチ

SW2 同期整流スイッチ

D2 ダイオード

C1 入力側のコンデンサ

C2 平滑用コンデンサ

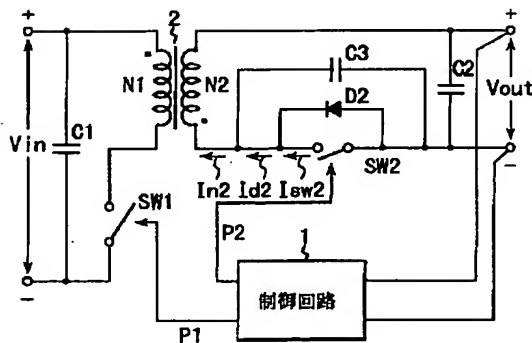
C3 スナバ用コンデンサ

P1 メインスイッチの駆動信号

P2 同期整流スイッチの駆動信号

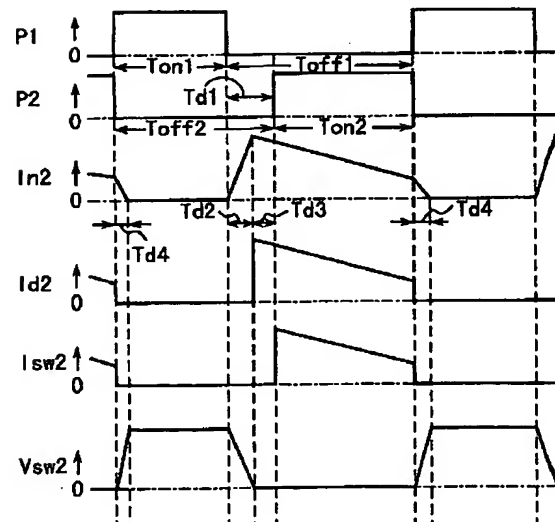
【図1】

本発明の第1の実施の形態の説明図



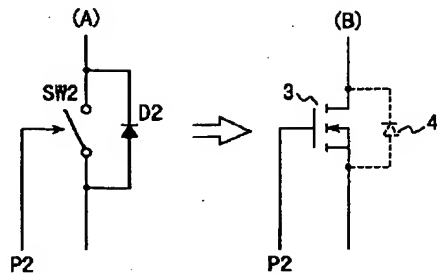
【図2】

本発明の第1の実施の形態の動作説明図



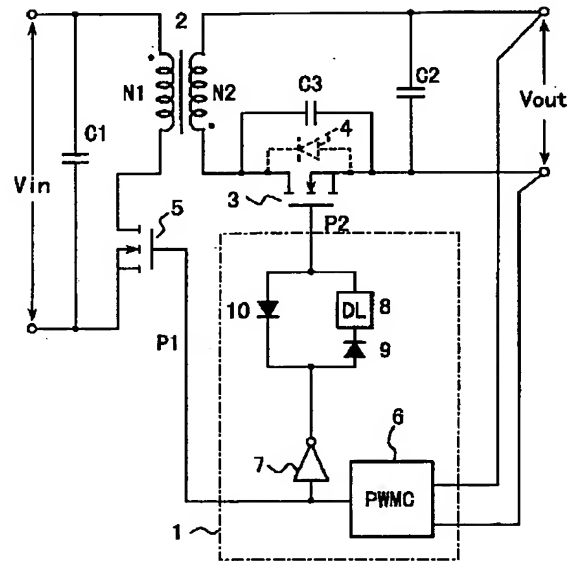
【図 3】

同期整流スイッチの説明図



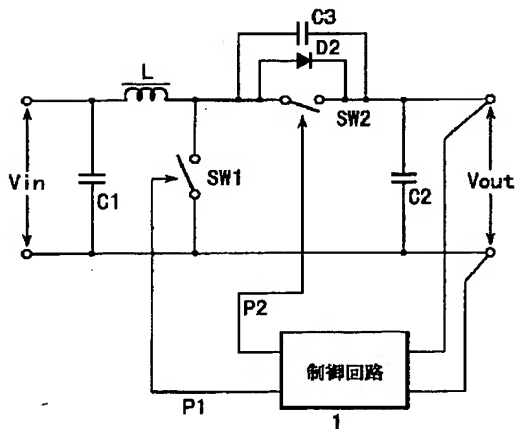
【図 4】

本発明の第 2 の実施の形態の説明図



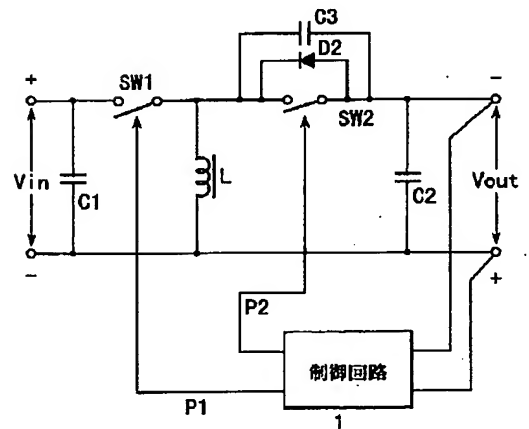
【図 5】

本発明の第 3 の実施の形態の説明図



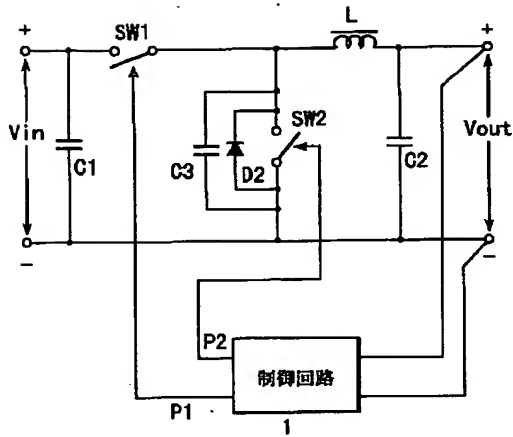
【図 6】

本発明の第 4 の実施の形態の説明図



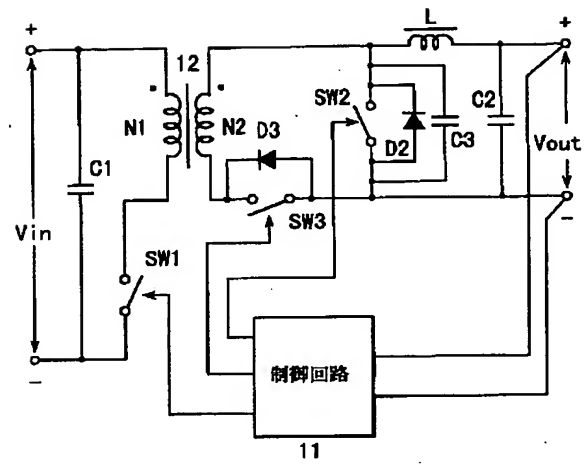
【図 7】

本発明の第5の実施の形態の説明図



【図 8】

本発明の第6の実施の形態の説明図

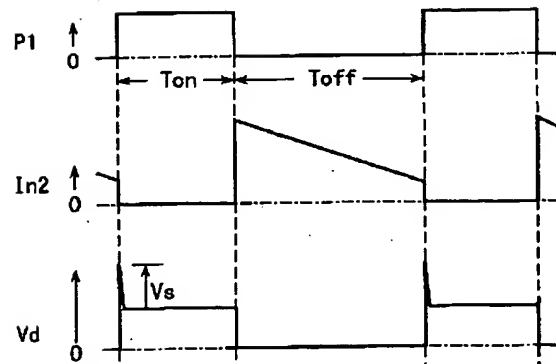
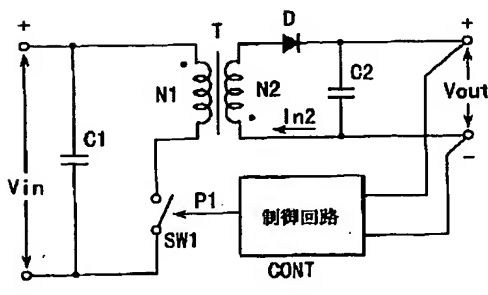


【図 10】

従来例の動作説明図

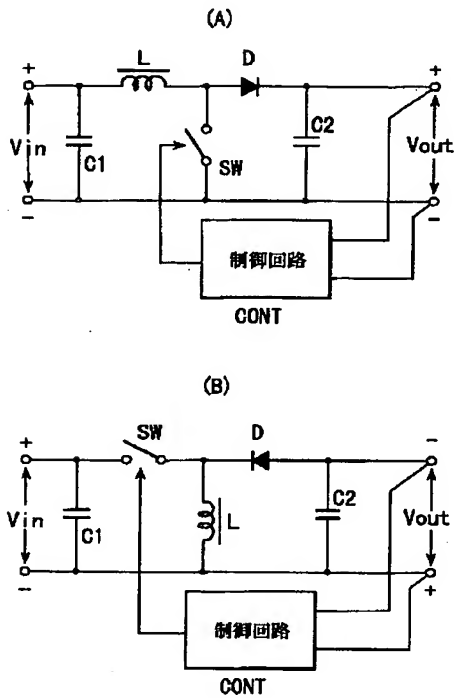
【図 9】

従来例のフライバックコンバータ構成の説明図



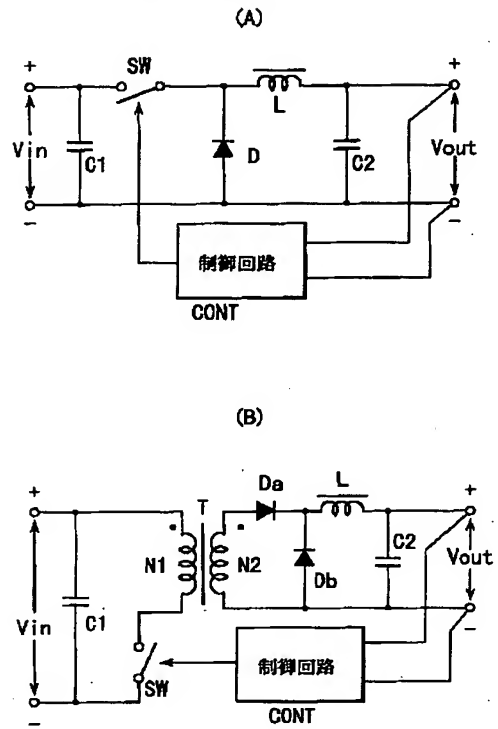
【図11】

従来例のブーストコンバータ構成及びバックブースト
コンバータ構成の説明図



【図12】

従来例のバックコンバータ構成及びフォワード
コンバータ構成の説明図



フロントページの続き

(51) Int. Cl. 6
H02M 3/155

識別記号

F·I
H02M 3/155

H
R

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS**[Claim(s)]**

[Claim 1] To a main switch and an opposite phase, ON and the synchronous detection switch of a configuration of off control having been carried out and having carried out parallel connection of the diode, The capacitor for snubbers linked to this synchronous detection switch and juxtaposition, and the capacitor for smooth connected between output terminals, ON of said main switch and OFF are controlled to fixed-ize output voltage between said output terminals. When this main switch is set to ON, said synchronous detection switch is made off. The snubber circuit characterized by having the control circuit of a configuration of setting up the time delay when said main switch is made off, after the discharge current flows to said capacitor for snubbers and a current flows to said diode, and setting said synchronous detection switch to ON in the state of a zero electrical potential difference.

[Claim 2] Said control circuit is the snubber circuit according to claim 1 carry out having had the configuration carried out as the ON driving signal which sets said synchronous-detection switch to ON through a delay circuit in the off driving signal of said main switch which made said synchronous-detection switch the off driving signal made off, and was reversed by this inverter circuit in the ON driving signal of said main switch reversed by the inverter circuit which reverses the ON driving signal which sets said main switch to ON, and the off driving signal made off, and this inverter circuit as the description.

[Claim 3] Connect a main switch to the primary winding of a transformer, and the synchronous detection switch of a configuration of having carried out parallel connection of the diode is connected to the secondary winding of said transformer. The capacitor for snubbers connected to said synchronous detection switch at juxtaposition in the switching power supply equipment of a flyback converter configuration which connected the capacitor for smooth between output terminals, ON of said main switch and OFF are controlled to fixed-ize output voltage between said output terminals. When this main switch is set to ON, said synchronous detection switch is made off. The snubber circuit characterized by having the control circuit of a configuration of setting up the time delay when said main switch is made off, after the discharge current flows to said capacitor for snubbers and a current flows to said diode, and setting said synchronous detection switch to ON in the state of a zero electrical potential difference.

[Claim 4] A main switch is connected to the primary winding of a transformer. To the secondary winding of this transformer Series connection of the 1st of a configuration of having carried out parallel connection of the diode and the 2nd synchronous detection switch is carried out so that said diode may serve as reversed polarity. The series circuit of the reactor for smooth and the capacitor for smooth is connected to the both ends of said 1st synchronous detection switch. The capacitor for snubbers connected to said 2nd synchronous detection switch at juxtaposition in the switching power supply equipment of a forward converter configuration which connected the both ends of this capacitor for smooth between output terminals, ON of said main switch and OFF are controlled to fixed-ize output voltage between said output terminals. When this main switch is set to ON, set said 2nd synchronous detection switch to ON, and said 1st synchronous detection switch is made off. When said main switch is made off The snubber circuit characterized by having the control circuit of a configuration of setting up the time delay after making said 2nd synchronous detection switch off, the discharge current flowing to said capacitor for snubbers and a current flowing to said diode, and setting said 1st synchronous detection switch to ON in the state of a zero electrical potential difference.

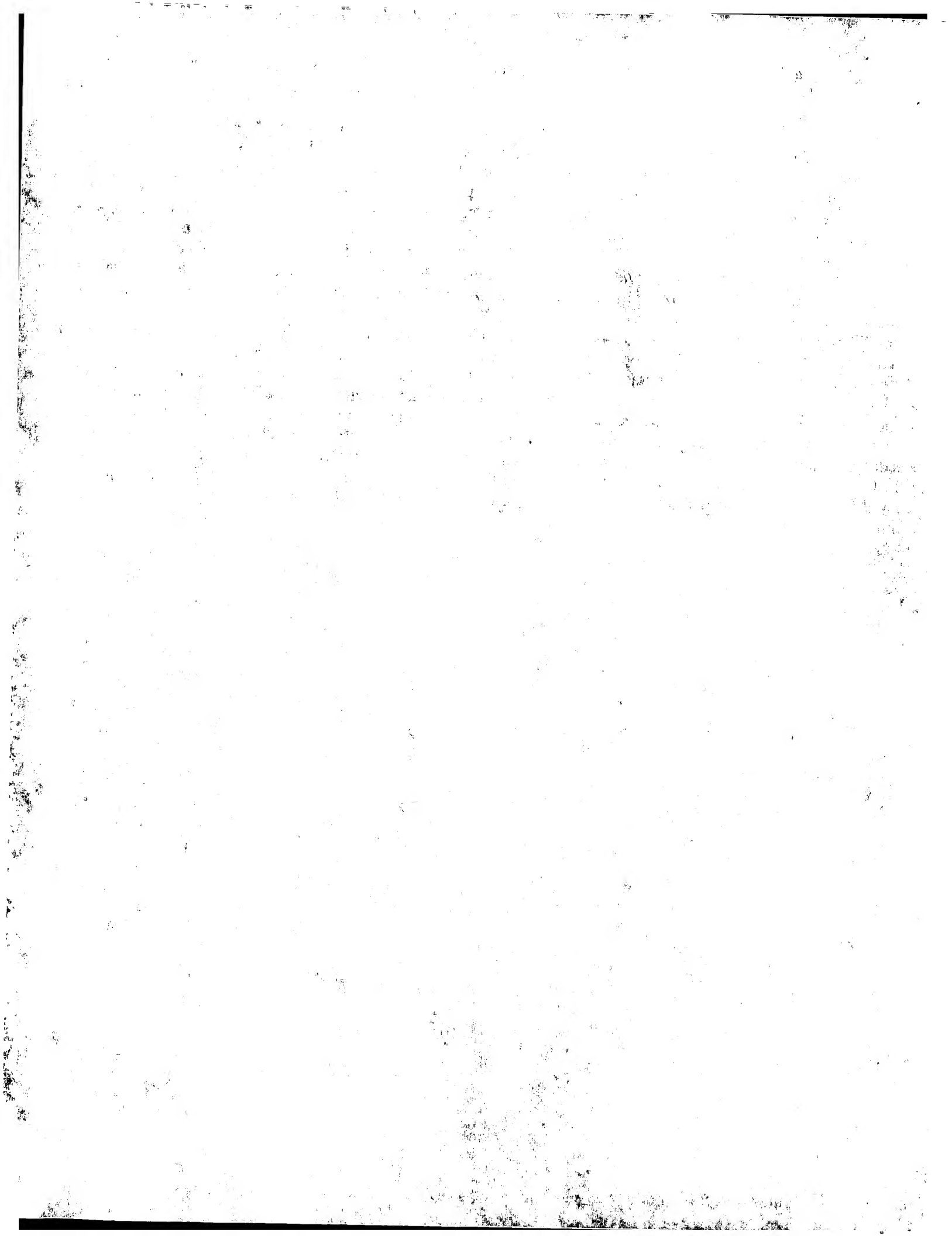
[Claim 5] Connect the capacitor for smooth between output terminals, and the synchronous detection switch of a configuration of having carried out parallel connection of a reactor and the diode between the input terminal of a power source and said output terminal is connected to a serial. The capacitor for snubbers connected to said synchronous detection switch at juxtaposition in the switching power supply equipment of a boost converter configuration which connected the main switch at the node of said reactor and said diode, ON of said main switch and OFF are controlled to fixed-ize output voltage between said output terminals. When this main switch is set to ON, said synchronous detection switch is made off. The snubber circuit characterized by having the control circuit of a configuration of setting up the

time delay when said main switch is made off, after the discharge current flows to said capacitor for snubbers and a current flows to said diode, and setting said synchronous detection switch to ON in the state of a zero electrical potential difference.

[Claim 6] Connect the capacitor for smooth between output terminals, and the synchronous detection switch of a configuration of having carried out parallel connection of the diode to the main switch between the input terminal of a power source and said output terminal is connected to a serial. The capacitor for snubbers connected to said synchronous detection switch at juxtaposition in the switching power supply equipment of a back boost converter configuration which connected the reactor at the node of said main switch and said diode, ON of said main switch and OFF are controlled to fixed-ize output voltage between said output terminals. When this main switch is set to ON, said synchronous detection switch is made off. The snubber circuit characterized by having the control circuit of a configuration of setting up the time delay after the discharge current flows to said capacitor for snubbers when said main switch is made off, and a current flows to said diode, and setting said synchronous detection switch to ON in the state of a zero electrical potential difference.

[Claim 7] Connect the capacitor for smooth between output terminals, and a main switch and a reactor are connected to a serial between the input terminal of a power source, and said output terminal. In the switching power supply equipment of a back converter configuration which connected the synchronous detection switch of a configuration of having carried out parallel connection of the diode to the node of said main switch and said reactor ON of said main switch and OFF are controlled to fixed-ize the capacitor for snubbers connected to said synchronous detection switch at juxtaposition, and output voltage between said output terminals. When this main switch is set to ON, said synchronous detection switch is made off. The snubber circuit characterized by having the control circuit of a configuration of setting up the time delay when said main switch is made off, after the discharge current flows to said capacitor for snubbers and a current flows to said diode, and setting said synchronous detection switch to ON in the state of a zero electrical potential difference.

[Translation done.]



* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the snubber circuit in switching power supply equipment. ON of switching elements, such as a field-effect transistor, and OFF are controlled, and various kinds of configurations are already known so that switching power supply equipment may be changed into a desired electrical potential difference and may stabilize input voltage further. In such switching power supply equipment, in order to solve problems, such as pressure-proofing by the surge voltage in the time of the turn-off of a switching element, and the reverse recovery of the diode for rectification etc., the snubber (Snubber) circuit is prepared. Moreover, to improve the effectiveness of switching power supply equipment is demanded, and reduction of the loss in a snubber circuit etc. is needed in connection with it.

[0002]

[Description of the Prior Art] Drawing 9 is the explanatory view of the flyback converter configuration of the conventional example. The polar input voltage V_{in} of illustration By the main switch SW, turn on and turn off in the primary winding N1 of Transformer T, and it is impressed by it. The diode D for rectification rectifies the electrical potential difference which carried out induction to the secondary winding N2. It graduates by the capacitor C2 for smooth, and the polar output voltage V_{out} of illustration is detected in a control circuit CONT, and the "on" period of a main switch SW is controlled by the driving signal P1 so that the amount of error approaches zero as compared with setting reference voltage. Moreover, the main switch SW is constituted by the bipolar transistor, the field-effect transistor, etc.

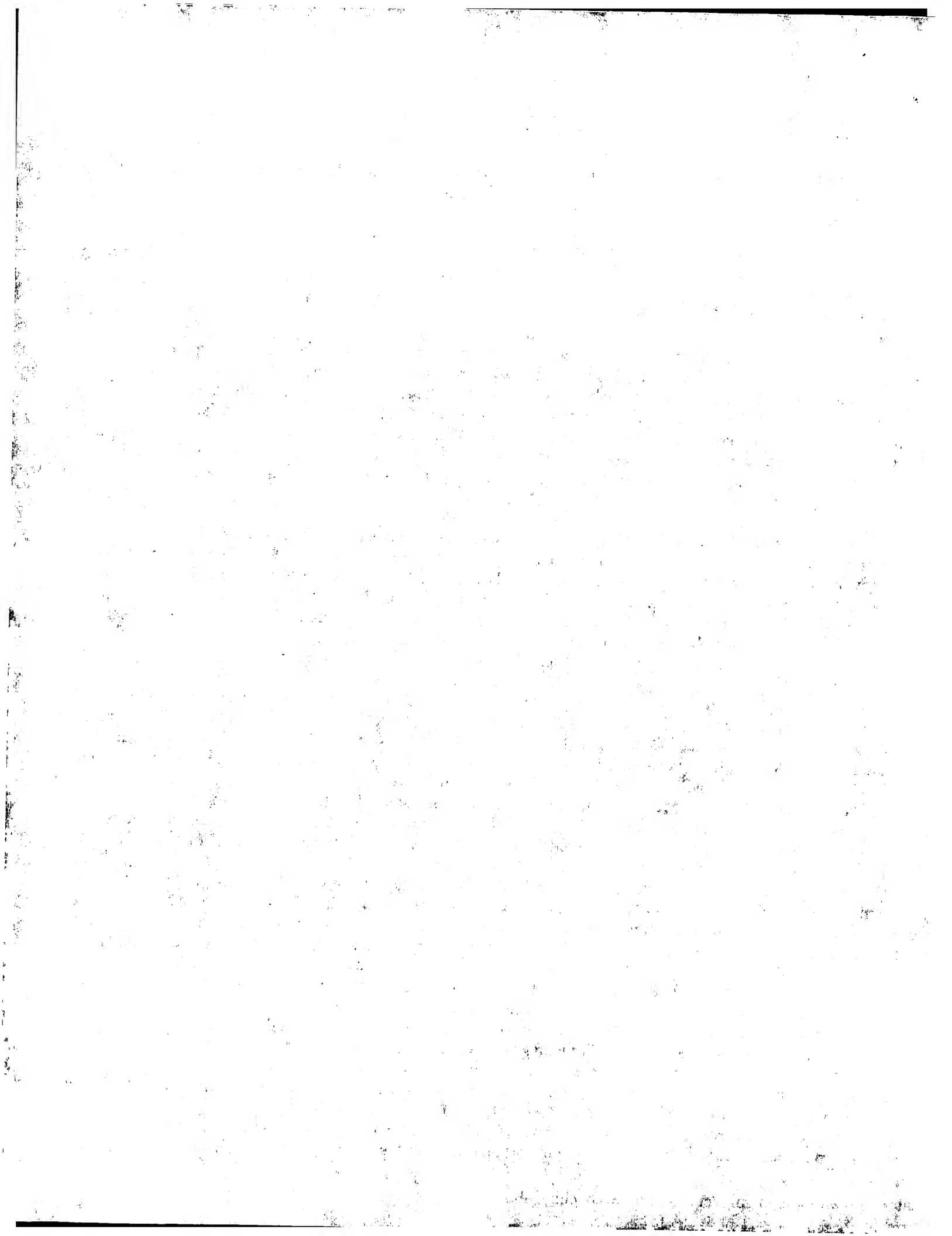
[0003] Drawing 10 is the explanatory view of the conventional example of operation, and the current to which P1 flows to the driving signal of a main switch SW, and I_{n2} flows to the secondary winding N2 of Transformer T, and V_d show the electrical potential difference of the both ends of the diode D for rectification. If a driving signal P1 is made high-level, a main switch SW will serve as ON. T_{on} shows this "on" period. Moreover, if a driving signal P1 is made into a low level, a main switch SW will become off. T_{off} shows this "off" period.

[0004] If a main switch SW serves as ON with the high-level driving signal P1, the current by input voltage V_{in} will flow to the primary winding N1 of Transformer T, and will be accumulated as excitation energy, and as reverse voltage shows as V_d , it will be then impressed by the diode D for rectification. Therefore, the current I_{n2} of a secondary winding N2 serves as zero at "on" period T_{on} of a main switch SW.

[0005] Next, if a main switch SW becomes off with the driving signal P1 of a low level, the electrical potential difference which carried out induction to the secondary winding N2 of Transformer T will serve as the forward direction of the diode D for rectification. By it, a current I_{n2} flows through the diode D for rectification to the secondary winding N2 of Transformer T. Therefore, if a current I_{n2} flows to a secondary winding N2, it becomes the load current and the charging current of the capacitor C2 for smooth and a main switch SW serves as ON at "off" period T_{off} of a main switch SW, since the induced voltage of the secondary winding N2 of Transformer T is reversed, it will be impressed by the diode D for rectification as reverse voltage, and a current I_{n2} will serve as zero.

[0006] Moreover, when a main switch SW carries out a turn-on, the electrical potential difference impressed to the diode D for rectification changes from forward voltage to reverse voltage. Corresponding to the reverse recovery property of the diode D for rectification, surge voltage V_s occurs then on the electrical potential difference V_d impressed to the diode D for rectification. Especially, when reverse recovery is the late diode for rectification, a reverse current becomes large and surge voltage V_s becomes high.

[0007] drawing 11 -- the explanatory view of the boost converter configuration of the conventional example, and a back boost converter configuration -- it is -- (A) -- the important section of the switching power supply equipment of a boost



converter configuration -- being shown -- C1 -- the capacitor of an input side, and L -- for diode and C2, the capacitor for smooth and CONT are [a reactor and SW / a main switch and D / input voltage and Vout of a control circuit and Vin] output voltage.

[0008] It is the configuration of having connected Diode D with Reactor L in serial between the input terminal and the output terminal, and having connected the main switch SW at the node, and if a main switch SW is set to ON by the control circuit CONT, the polar input voltage Vin of illustration will be directly impressed to Reactor L, a current will flow, and excitation energy will be accumulated in Reactor L. Moreover, the charge electrical potential difference of the capacitor C2 for smooth has prevented it being impressed by Diode D as reverse voltage, and discharging through the main switch SW of an ON state.

[0009] Next, if a main switch SW is made off, by the excitation energy accumulated in Reactor L, the electrical potential difference of the direction which maintains the continuity of a current occurs, and it will be added to input voltage Vin, and through Diode D, this electrical potential difference will be impressed to the capacitor C2 for smooth, and will be charged. Therefore, the polar output voltage Vout of illustration serves as a value which added the electrical potential difference by Reactor L to input voltage Vin. A control circuit CONT will detect this output voltage Vout, and the "on" period of a main switch SW will be controlled to become the set-up fixed output voltage Vout.

[0010] (B) of drawing 11 shows the important section of the switching power supply equipment of a back boost converter configuration, and the same sign as (A) shows the same name part. Moreover, between an input terminal and an output terminal It is the configuration of having connected Diode D with the main switch SW in serial, and having connected Reactor L at the node, and a control circuit CONT detects the polar output voltage Vout of illustration, and controls ON of a main switch SW, and OFF to become the set-up electrical potential difference. If this main switch SW is set to ON, the polar input voltage Vin of illustration will be impressed to Reactor L, a current will flow, and excitation energy will be accumulated. Reverse voltage is then impressed to Diode D.

[0011] And when a main switch SW is made off, in order to maintain the continuity of the current which flows to Reactor L, an electrical potential difference will carry out induction, and forward voltage will be impressed to Diode D. The capacitor C2 for smooth is charged by the polarity (the case where it is (A) of drawing 11 , and antipole nature) of illustration, according to the current which flows Reactor L through this diode D, and the electrical potential difference of those both ends turns into output voltage Vout. The switching power supply equipment of this configuration can also be considered as which configuration of a pressure-up mold or a pressure-lowering mold.

[0012] Drawing 12 is the explanatory view of the back converter configuration of the conventional example, and a forward converter configuration. (A) shows the important section of the switching power supply equipment of a back converter configuration. Between input terminals, connect a capacitor C1, and the capacitor C2 for smooth is connected between output terminals. It is the configuration of having connected Reactor L with the main switch SW in serial between the input terminal and the output terminal, and having connected Diode D at that node. This diode D When a main switch SW is set to ON, it connects so that the polar input voltage Vin of illustration may serve as a polarity impressed as reverse voltage.

[0013] A control circuit CONT detects the polar output voltage Vout of illustration, and controls ON of a main switch SW, and OFF to become the set-up electrical potential difference. If this main switch SW is set to ON, input voltage Vin will be impressed to the capacitor C2 for smooth and load which were connected to the output terminal through Reactor L. At this time, the electrical potential difference VL impressed to Reactor L serves as $VL = Vin - Vout$, and Reactor L is excited according to this electrical potential difference VL, and the capacitor C2 for smooth is charged.

[0014] And if a main switch SW is made off, the electrical potential difference in which induction was carried out by the property of the continuity maintenance of a current which flows to Reactor L will serve as the polarity of the forward direction to Diode D. Therefore, charge of the capacitor C2 for smooth and supply of the load current are continued. In this configuration, the excitation energy accumulated in Reactor L becomes a thing according to the difference of input voltage Vin and output voltage Vout, and will constitute the switching power supply equipment of a pressure-lowering mold.

[0015] Moreover, (B) of drawing 12 shows the important section of the switching power supply equipment of a forward converter configuration, connects a main switch SW to the primary winding N1 of Transformer T, connects a capacitor C1 to an input terminal, by the control circuit CONT, turns on a main switch SW, carries out OFF control, and turns on and turns off the polar input voltage Vin of the illustration impressed to the primary winding N1 of Transformer T.

[0016] The induced voltage of the secondary winding N2 by having set the main switch SW to ON becomes Diode Da with the forward direction, and becomes Diode Db with the polarity of hard flow, the current which flows to a secondary winding N2 turns into the charging current of the capacitor C2 for smooth, and the load current through Diode Da and Reactor L, and excitation energy is accumulated in Reactor L. Moreover, the polar electrical potential

difference of illustration of the both ends of the capacitor C2 for smooth turns into output voltage Vout. A control circuit CONT detects this output voltage Vout, and controls the "on" period of a main switch SW by pulse width control etc. as compared with the set-up reference voltage to make a part for an error into zero.

[0017] Moreover, if a main switch SW is made off, since it is reversed, it will become Diode Da with hard flow, and the polarity of the induced voltage of the secondary winding N2 of Transformer T will become Diode Db with the electrical potential difference of the forward direction. However, the applied voltage to Diode Db is prevented by Diode Da.

Moreover, in order that Reactor L may maintain the continuity of a current, induction of the electrical potential difference which becomes Diode Db with the forward direction with the accumulated excitation energy is carried out. Therefore, the charging current and the load current of the capacitor C2 for smooth are supplied.

[0018] Moreover, various kinds of configurations, such as a half bridge type, a full bridge type, a voltage resonance mold, a current resonance mold, and a synchronous detection mold, are known in addition to the switching power supply equipment shown in above-mentioned drawing 9 , drawing 11 , and drawing 12 .

[0019]

[Problem(s) to be Solved by the Invention] When forward voltage is impressed and it is the diode of the usual pn junction mold, since the voltage drop of about 0.6 V arises, power loss produces the diode D in the above-mentioned conventional example. Then, the configuration which connected the switch at Diode D and juxtaposition and was used as the synchronous type is known. That is, the diode characteristics of the condition almost near no losing can be obtained by setting a switch to ON in the timing by which forward voltage is impressed to Diode D, and supposing that it is off in the timing to which reverse voltage is impressed. However, loss by the ability not to carry out in the state of a zero electrical potential difference in ON of a switch and OFF poses a problem. Moreover, the effect the surge voltage by the reverse recovery of diode affects pressure-proofing poses a problem. This invention aims at offering the snubber circuit which controls the above-mentioned surge voltage and enables it to disregard switching loss.

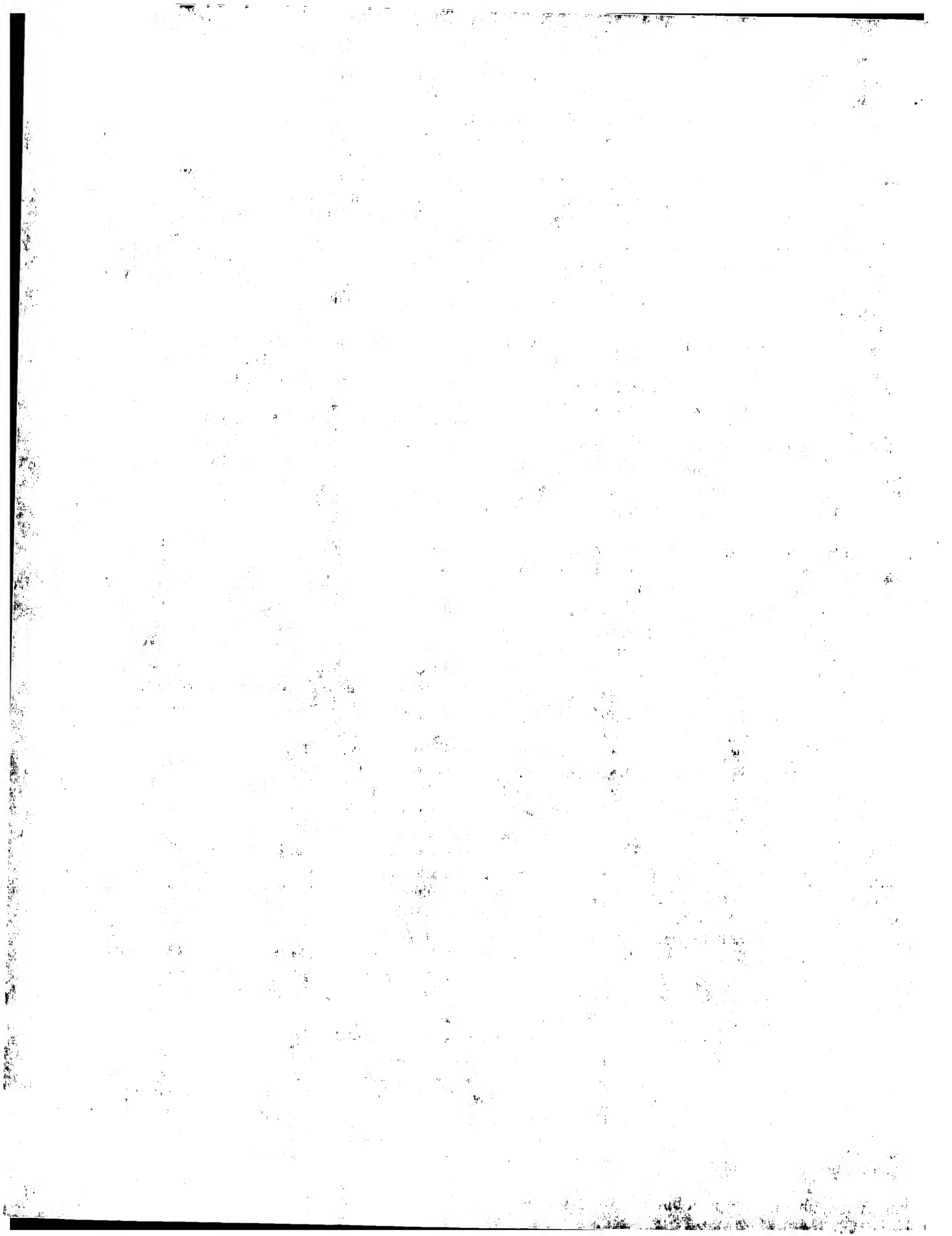
[0020]

[Means for Solving the Problem] The snubber circuit of this invention to the (1) main switch SW1 and an opposite phase ON and the synchronous detection switch SW2 of a configuration of off control having been carried out and having carried out parallel connection of the diode D2, So that the capacitor C3 for snubbers linked to this synchronous detection switch SW2 and juxtaposition, the capacitor C2 for smooth connected between output terminals, and output voltage between output terminals may be fixed-ized When ON of a main switch SW1 and OFF are controlled and this main switch SW1 is set to ON, the synchronous detection switch SW2 is made off. When a main switch SW1 is made off, the time delay after the discharge current flows to the capacitor C3 for snubbers and a current flows to diode D2 was set up, and it has the control circuit 1 of a configuration of setting the synchronous detection switch SW2 to ON. By it, the synchronous detection switch SW2 is made into zero electrical-potential-difference switching control, and it carries out as [disregard / switching loss].

[0021] Moreover, it can have the configuration carry out as the ON driving signal which the (2) control circuit 1 makes the ON driving signal of the main switch SW1 reversed by the inverter circuit which reverses the ON driving signal and the OFF driving signal made off which sets a main switch SW1 to ON, and this inverter circuit the OFF driving signal which makes the synchronous-detection switch SW2 off, and is carried out [driving signal / of the main switch SW1 reversed by this inverter circuit / OFF] as ON in the synchronous-detection switch SW2 through a delay circuit.

[0022] Moreover, the (3) main switch SW1 is connected to the primary winding N1 of a transformer 2. The synchronous detection switch SW2 of a configuration of having carried out parallel connection of the diode D2 is connected to the secondary winding N2 of a transformer 2. The capacitor C3 for snubbers connected to the synchronous detection switch SW1 at juxtaposition in the switching power supply equipment of a flyback converter configuration which connected the capacitor C2 for smooth between output terminals, ON of a main switch SW1 and OFF are controlled to fixed-ize output voltage between output terminals. When this main switch SW1 is set to ON, the synchronous detection switch SW2 is made off. When a main switch SW1 is set to OFF, it can have the control circuit 1 of a configuration of setting up the time delay after the discharge current flows to the capacitor C3 for snubbers and a current flows to diode D2, and setting the synchronous detection switch SW1 to ON.

[0023] (4) main switches are connected to the primary winding of a transformer. Moreover, to the secondary winding of this transformer The 1st of a configuration of having carried out parallel connection of the diode, and the 2nd synchronous detection switch A series connection is carried out so that said diode may serve as reversed polarity. To the both ends of the 2nd synchronous detection switch In the switching power supply equipment of a forward converter configuration which connected the series circuit of the reactor for smooth, and the capacitor for smooth, and connected the both ends of the capacitor for smooth between output terminals ON of a main switch and OFF are controlled to fixed-ize the capacitor for snubbers connected to the 2nd synchronous detection switch at juxtaposition, and output



voltage between output terminals. When this main switch is set to ON, set the 1st synchronous detection switch to ON, and the 2nd synchronous detection switch is made off. When a main switch is set to OFF, it can have the control circuit of a configuration of setting up the time delay after setting the 1st synchronous detection switch to OFF, the discharge current flowing to the capacitor for snubbers and a current flowing to diode, and setting the 2nd synchronous detection switch to ON.

[0024] Moreover, connect the capacitor for smooth between (5) output terminals, and the synchronous detection switch of a configuration of having carried out parallel connection of a reactor and the diode between the input terminal of a power source and said output terminal is connected to a serial. The capacitor for snubbers connected to the synchronous detection switch at juxtaposition in the switching power supply equipment of a boost converter configuration which connected the main switch at the node of a reactor and diode, ON of a main switch and OFF are controlled to fixed-size output voltage between output terminals. When this main switch is set to ON, a synchronous detection switch is made off. When a main switch is set to OFF, it can have the control circuit of a configuration of setting up the time delay after the discharge current flows to the capacitor for snubbers and a current flows to diode, and setting a synchronous detection switch to ON.

[0025] Moreover, connect the capacitor for smooth between (6) output terminals, and the synchronous detection switch of a configuration of having carried out parallel connection of the diode to the main switch between the input terminal of a power source and said output terminal is connected to a serial. The capacitor for snubbers connected to the synchronous detection switch at juxtaposition in the switching power supply equipment of a back boost converter configuration which connected the reactor at the node of a main switch and diode, ON of said main switch and OFF are controlled to fixed-size output voltage between output terminals. When this main switch is set to ON, a synchronous detection switch is made off. It can have the control circuit of a configuration of setting up the time delay after the discharge current flows to the capacitor for snubbers when a main switch is set to OFF, and a current flows to said diode, and setting a synchronous detection switch to ON.

[0026] Moreover, connect the capacitor for smooth between (7) output terminals, and a main switch and a reactor are connected to a serial between the input terminal of a power source, and said output terminal. The capacitor for snubbers connected to the synchronous detection switch at juxtaposition at the node of a main switch and a reactor in the switching power supply equipment of a back converter configuration which connected the synchronous detection switch of a configuration of having carried out parallel connection of the diode, ON of a main switch and OFF are controlled to fixed-size output voltage between output terminals. When this main switch is set to ON, a synchronous detection switch is made off. When a main switch is set to OFF, it can have the control circuit of a configuration of setting up the time delay after the discharge current flows to the capacitor for snubbers and a current flows to diode, and setting a synchronous detection switch to ON.

[0027]

[Embodiment of the Invention] Drawing 1 is the explanatory view of the gestalt of operation of the 1st of this invention, and the case where it applies to the switching power supply equipment of a flyback converter configuration is shown. In a control circuit and 2, a transformer and N1 a secondary winding and C1 for a primary winding and N2 The capacitor of an input side, [1] C2 -- the capacitor for smooth, and C3 -- the capacitor for snubbers, and SW1 -- in a main switch and SW2, input voltage and Vout show P1 and, as for a synchronous detection switch and D2, output voltage and P2 show a driving signal, as for diode and Vin.

[0028] The capacitor C3 for snubbers is connected to the synchronous detection switch SW2 of a configuration of having carried out parallel connection of the diode D2 at juxtaposition. Moreover, as compared with the reference voltage which detected and set up the polar output voltage Vout of illustration, a control circuit 1 controls the "on" period of a main switch SW1 by the driving signal P1 so that the amount of error becomes zero. The basic configuration which controls such a main switch SW1 is the same as that of the conventional example, for example, can apply various kinds of configurations known as Pulse-Density-Modulation (PWM) control. Moreover, since it is the same as that of the configuration which shows the actuation which fixed-sizes output voltage Vout to above-mentioned drawing 9 as a flyback converter configuration, the overlapping explanation is omitted. In this invention, when a main switch SW1 is set to ON and a main switch SW1 is made off for the synchronous detection switch SW2 off and on the contrary, after the discharge current flows to the capacitor C3 for snubbers and a current flows to diode D2, the synchronous detection switch SW2 is set to ON. Such a configuration can be easily constituted with the application of a delay circuit.

[0029] Drawing 2 is the explanatory view of the gestalt of operation of the 1st of this invention of operation, and the current to which in P1 the driving signal of a main switch SW1 and P2 flow to the driving signal of the synchronous detection switch SW2, and In2 flows to the secondary winding N2 of a transformer 2, the current to which Id2 flows on diode D2 and the synchronous detection switch SW2, the current to which Isw2 flows on the synchronous detection

switch SW2, and Vsw2 show a wave-like example of the applied voltage of the synchronous detection switch SW2, respectively.

[0030] The period when setting a main switch SW1 to ON, having used the driving signal P1 as high-level is set to Ton1. Moreover, the period when making a main switch SW1 off as a low level is set to Toff1. Moreover, the period when setting the synchronous detection switch SW2 to ON, having used the driving signal P2 as high-level to Ton2, and making the synchronous detection switch SW2 off as a low level is shown as Toff2.

[0031] In "on" period Ton1 of a main switch SW1, excitation energy is accumulated in a transformer 2. Moreover, while the synchronous detection switch SW2 is off, the electrical potential difference of reversed polarity is impressed to diode D2 with the induced voltage of the secondary winding N2 of a transformer 2, and the charge electrical potential difference of the capacitor C2 for smooth, and the capacitor C3 for snubbers is charged with this electrical potential difference.

[0032] A control circuit 1 is what detects output voltage Vout and controls a main switch SW1. When carrying out the turn-off of the main switch SW1 by making a driving signal P1 into a low level, In the period of Td1, the turn-on of the synchronous detection switch SW2 is carried out using a driving signal P2 as high-level, and on the contrary, when carrying out the turn-on of the main switch SW1, having used the driving signal P1 as high-level, the turn-on of the synchronous detection switch SW2 is carried out by making a driving signal P2 into a low level.

[0033] When a main switch SW1 is an ON state, with the induced voltage of the secondary winding N2 of a transformer 2, and the charge electrical potential difference (output voltage Vout) of the capacitor C2 for smooth, the electrical potential difference of hard flow is impressed to diode D2, and the capacitor C3 for snubbers is charged. Therefore, the electrical potential difference shown by Vsw2 will be impressed to the parallel circuit of the synchronous detection switch SW2, diode D2, and the capacitor C3 for snubbers.

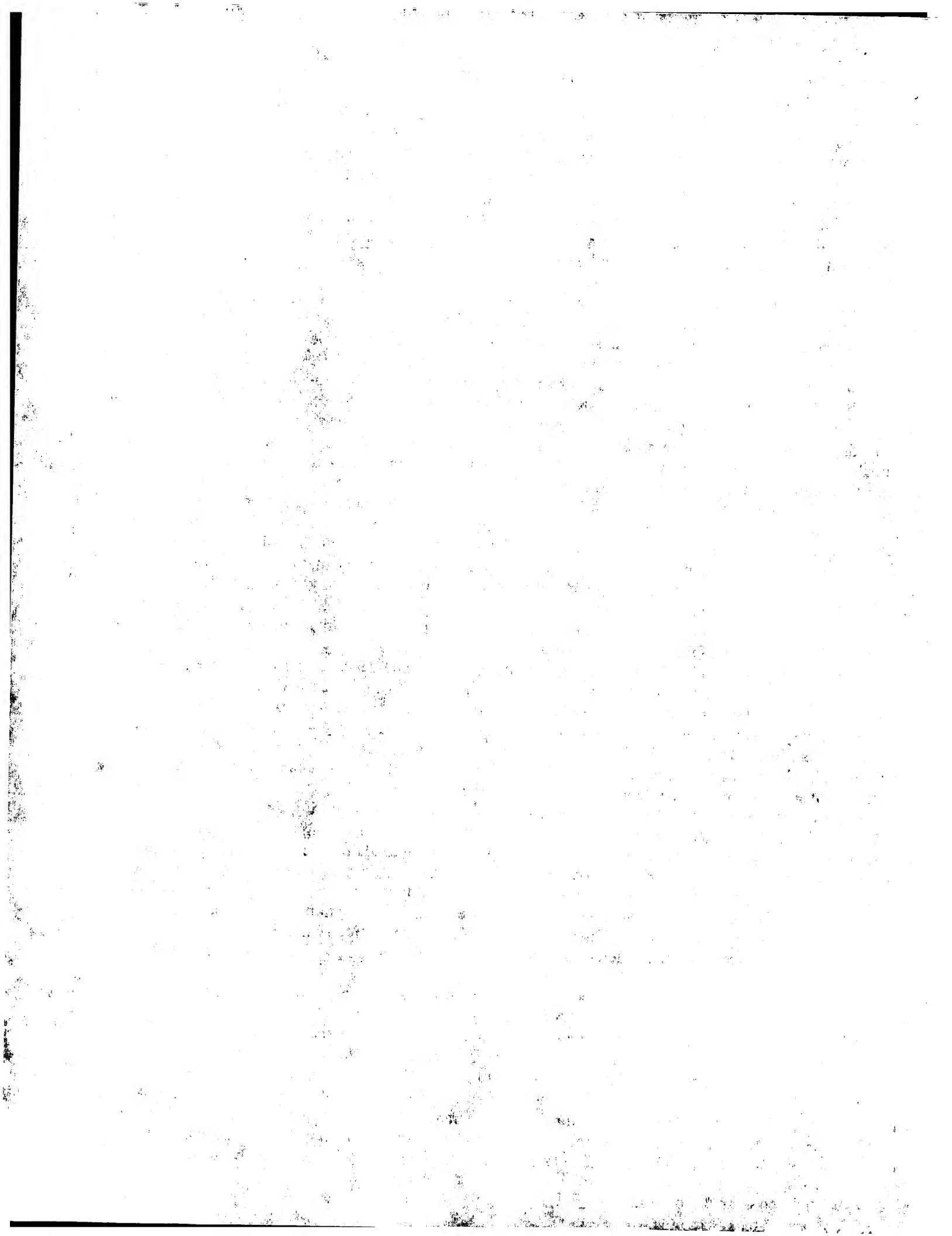
[0034] And although the electrical potential difference which carries out induction to the secondary winding N2 of a transformer 2 will serve as the polarity of the forward direction of diode D2 if the turn-off of the main switch SW1 is carried out by making a driving signal P1 into a low level, the charge electrical potential difference of the capacitor C3 for snubbers will be in the condition of having been impressed as reverse voltage at diode D2, and diode D2 will continue an OFF state. And the charge charge of the capacitor C3 for snubbers will discharge to the capacitor C2 side for smooth through the secondary winding N2 of a transformer 2, and a current In2 becomes a thing corresponding to this discharge current. And the electrical potential difference Vsw2 impressed to the synchronous detection switch SW2 falls quickly with discharge of the capacitor C3 for snubbers.

[0035] And in the period of Td2, if an electrical potential difference Vsw2 serves as zero, the current In2 which the current Id2 which flows through diode D2 goes abruptly up, and flows to a secondary winding N2 will turn into this current Id2 mostly. And during the period of zero, i.e., the period of Td3, the electrical potential difference Vsw2 of the both ends of the synchronous detection switch SW2 makes a driving signal P2 high-level, and carries out the turn-on of the synchronous detection switch SW2. By it, a current Isw2 can flow through the synchronous detection switch SW2, and a current Isw2 can almost be passed in the state of no losing. Moreover, since it can be made to switch in the state of 0 electrical potential differences, switching loss can be made into zero.

[0036] moreover, if the turn-on of the main switch SW1 is carried out, using a driving signal P1 as high-level and the turn-off of the synchronous detection switch SW2 is carried out by making a driving signal P2 into a low level, induction of the polar electrical potential difference of the hard flow of diode D2 will be carried out to the secondary winding N2 of a transformer 2, diode D2 will be in an OFF state, and the charging current will flow to the capacitor C3 for snubbers -- ***** -- this current -- the period of Td4 -- it will flow. Therefore, the electrical potential difference Vsw2 impressed to the synchronous detection switch SW2 rises with the inclination corresponding to the charge property of the capacitor C3 for snubbers. Therefore, the synchronous detection switch SW2 can be made to switch in the state of a zero electrical potential difference. In addition, the surge voltage by the reverse recovery of diode D2 is absorbable by the capacitor C3 for snubbers.

[0037] Drawing 3 is the explanatory view of a synchronous detection switch, and although (A) shows the synchronous detection switch SW2 and diode D2 which are shown in drawing 1 and controls ON of the synchronous detection switch SW2, and OFF by the driving signal P2, it is realizable with the field-effect transistor 3 which shows this configuration to (B). In this case, since the parasitism diode 4 is contained, this parasitism diode 4 can be used for an n channel field-effect transistor as diode D2. Moreover, such a field-effect transistor 3 can also constitute a main switch SW1.

[0038] Drawing 4 is the explanatory view of the gestalt of operation of the 2nd of this invention, and, for the synchronous detection switch which consists of a field-effect transistor of the n channel of a configuration of that the case where the configuration shown in drawing 1 was materialized further was shown, the same sign as drawing 1 showed the same part, and 3 carried out parallel connection of the diode 4, the main switch which 5 becomes from the



field-effect transistor of an n channel similarly, and 6, as for an inverter (inverter circuit) and 8, a delay circuit (DL), and 9 and 10 are [a pulse width control circuit (PWMC) and 7] diodes.

[0039] A control circuit 1 shows the case where it has the pulse width control circuit 6, an inverter 7, a delay circuit 8, and diodes 9 and 10. The pulse width control circuit 6 Detect output voltage V_{out} , and as compared with the set-up reference voltage, so that "on" period T_{on1} may be shortened, when output voltage V_{out} is high The high-level period of a driving signal P1 is shortened, it has the configuration which lengthens the high-level period of a driving signal P1, and various kinds of configurations already known can be applied so that "on" period T_{on1} may be lengthened, when output voltage V_{out} is low.

[0040] The driving signal P1 from this pulse width control circuit 6 is reversed with an inverter 7, and it is reversed with an inverter 7, and the ON driving signal (high-level driving signal P1) which sets a main switch 5 to ON serves as a low level, and is added to the gate of the synchronous detection switch 3 as an off driving signal (driving signal P2 of a low level) through diode 10. Therefore, while the turn-on of the main switch 5 is carried out, the turn-off of the synchronous detection switch 3 is carried out.

[0041] Moreover, it is reversed with an inverter 7, and the off driving signal (driving signal P1 of a low level) which makes a main switch 5 off becomes high-level, and is added to the gate of the synchronous detection switch 3 as an ON driving signal (high-level driving signal P2) through diode 9 and a delay circuit 8. The time delay of this delay circuit 8 is set up so that it may be equivalent to the above-mentioned period of T_{d1} .

[0042] Therefore, after only the signal which reversed the OFF driving signal which makes a main switch 5 off with the inverter 7 is delayed by the delay circuit 8, and turns into an ON driving signal of the synchronous detection switch 3 and the turn-off of the main switch 5 is carried out, the turn-on of the synchronous detection switch 3 is carried out, and it can make zero electrical-potential-difference switching perform in the period of T_{d1} .

[0043] drawing 5 -- the explanatory view of the gestalt of operation of the 3rd of this invention -- it is -- the important section of the switching power supply equipment of a boost converter configuration -- being shown -- V_{in} -- input voltage and V_{out} -- output voltage and C1 -- the capacitor of an input side, and C2 -- the capacitor for smooth, and C3 -- the capacitor for snubbers, and SW1 -- a main switch and SW2 -- a synchronous detection switch and D2 -- diode and L -- a reactor and 1 -- a control circuit and P1 P2 shows a driving signal.

[0044] The capacitor C2 for smooth is connected between output terminals, and a capacitor C1 is connected between input terminals. Between an input terminal and an output terminal The synchronous detection switch SW2 of a configuration of having carried out parallel connection of Reactor L and the diode D2 is connected in serial. A main switch SW1 is connected at the node, and the capacitor C3 for snubbers is connected to the synchronous detection switch SW2 at juxtaposition. A control circuit 1 The polar output voltage V_{out} of illustration is detected, and as compared with the set-up reference voltage, the "on" period of a main switch SW1 is controlled so that the amount of error approaches zero.

[0045] The current the synchronous detection switch SW2 is off, and according to input voltage V_{in} to Reactor L flows with a driving signal P2, excitation energy is accumulated, and when a main switch SW1 is ON, the capacitor C3 for snubbers is charged with the charge electrical potential difference of the capacitor C2 for smooth by the driving signal P1 from a control circuit 1, and the electrical potential difference between the terminal serves as the polarity of hard flow to diode D2 with it.

[0046] Next, when a main switch SW1 is made off with a driving signal P1, the synchronous detection switch SW2 is continuing OFF, is in the condition that the electrical potential difference by the are recording excitation energy of Reactor L was added to input voltage V_{in} , and is impressed to the capacitor C3 for snubbers, and the capacitor C2 for smooth. It will be in the condition that the electrical potential difference of hard flow was impressed to diode D2, then, and the capacitor C3 for snubbers discharges, and when the electrical potential difference between the terminal falls quickly and serves as zero, the electrical potential difference of the forward direction will be impressed to diode D2. By it, a current flows through diode D2. After carrying out the turn-off of this time SW1, i.e., the main switch, the synchronous detection switch SW2 is made to turn on after a predetermined time delay, since the electrical potential difference of the both ends of the synchronous detection switch SW2 is Zero V at this time. It considers as the condition that loss by diode D2 does not arise, by that cause, and zero electrical-potential-difference switching is enabled.

[0047] Between the input terminal which drawing 6 is the explanatory view of the gestalt of operation of the 4th of this invention, and connected the capacitor C1, and the output terminal which connected the capacitor C2 for smooth A main switch SW1 and the synchronous detection switch SW2 of a configuration of having carried out parallel connection of the diode D2 are connected in serial. The important section of the switching power supply equipment of a back boost converter configuration which connected Reactor L at the node is shown. The capacitor C3 for snubbers is connected to the synchronous detection switch SW2 and juxtaposition, with the driving signal P1 from a control circuit 1, it turns on

and off control of the main switch SW1 is carried out, with the this and opposite phase-related driving signal P2, it turns on and off control of the synchronous detection switch SW2 is carried out.

[0048] When a main switch SW1 is made off, the synchronous detection switch SW2 continues an OFF state like the gestalt of each above-mentioned operation, and the capacitor C3 for snubbers discharges with the induced voltage in Reactor L to the meantime, and the capacitor C2 for smooth is charged by the polarity of illustration. If the capacitor C3 for snubbers discharges and the electrical potential difference between the terminal serves as Zero V, the current by the induced voltage of Reactor L will flow through diode D2, and charge of the capacitor C2 for smooth will be continued. Since the electrical potential difference of the both ends of the synchronous detection switch SW2 serves as Zero V at this time, the turn-on of the synchronous detection switch SW2 is carried out with a driving signal P2. That is, zero electrical-potential-difference switching can be performed.

[0049] Between the input terminal which drawing 7 is the explanatory view of the gestalt of operation of the 5th of this invention, and connected the capacitor C1, and the output terminal which connected the capacitor C2 for smooth The important section of the switching power supply equipment of a back converter configuration which connected Reactor L with the main switch SW1 in serial, and connected the synchronous detection switch SW2 at the node is shown. The capacitor C3 for snubbers is connected to the synchronous detection switch SW2 and juxtaposition, with the driving signal P1 from a control circuit 1, it turns on and off control of the main switch SW1 is carried out, with the this and opposite phase-related driving signal P2, it turns on and off control of the synchronous detection switch SW2 is carried out.

[0050] Like the gestalt of each above-mentioned operation, a control circuit 1 so that output voltage V_{out} may be fixed-ized When ON of a main switch SW1 and OFF are controlled by the driving signal P1 and a main switch SW1 is set to ON When the synchronous detection switch SW2 is made off and a main switch SW1 is made off, after the discharge current flows to the capacitor C3 for snubbers and then a current flows to diode D2, it has the configuration which sets the synchronous detection switch SW2 to ON.

[0051] For example, when a main switch SW1 is ON, the synchronous detection switch SW2 is off, and a current flows to Reactor L, and it is accumulated as excitation energy, and the capacitor C3 for snubbers is charged with reversed polarity to diode D2. Next, if a main switch SW2 is made off, the synchronous detection switch SW2 will continue OFF, the electrical potential difference by excitation energy will carry out induction to Reactor L, and the capacitor C3 for snubbers will discharge, and the capacitor C2 for smooth will be charged.

[0052] If terminal voltage serves as zero by discharge of the capacitor C3 for snubbers, as for a degree, a current will flow to Reactor L through diode D2. At this time, the turn-on of the synchronous detection switch SW2 is carried out. That is, zero electrical-potential-difference switching is made to perform.

[0053] Drawing 8 is the explanatory view of the gestalt of operation of the 6th of this invention, and connects a main switch SW1 to the primary winding N1 of a transformer 12. The 1st synchronous detection switch SW2 of a configuration of having carried out parallel connection of the diode D2 to the secondary winding N2 of this transformer 12, The 2nd synchronous detection switch SW3 of a configuration of having carried out parallel connection of the diode D3 A series connection is carried out so that diodes D2 and D3 may serve as reversed polarity. To the both ends of the 1st synchronous detection switch SW2 The important section of the switching power supply equipment of a forward converter configuration which connected the series circuit of the reactor L for smooth and the capacitor C2 for smooth, and connected the both ends of the capacitor C2 for smooth to the output terminal is shown.

[0054] The capacitor C3 for snubbers is connected to the 1st synchronous detection switch SW2 of this switching power supply equipment at juxtaposition. A control circuit 11 Control ON of a main switch SW1, and OFF, and it synchronizes that this main switch SW1 ON and is off so that output voltage may be fixed-ized. When the 2nd synchronous detection switch SW3 is switched on and turned off and a main switch SW1 is set to ON When the 1st synchronous detection switch SW2 is made off and a main switch SW1 is made off, after the discharge current flows to the capacitor C3 for snubbers and then a current flows to diode D2, it has the configuration which sets the 1st synchronous detection switch SW2 to ON.

[0055] Therefore, when a main switch SW1 is ON, in the 1st synchronous detection switch SW2, OFF and the 2nd synchronous detection switch SW3 serve as ON, and the induced voltage of the secondary winding N2 of a transformer 12 is impressed to the capacitor C2 for smooth through the 3rd synchronous detection switch SW3 and Reactor L. Moreover, the capacitor C3 for snubbers is charged with reversed polarity to diode D2.

[0056] Next, if a main switch SW1 is made off, the 2nd synchronous detection switch SW3 will also be made off, and the 1st synchronous detection switch SW2 will continue an OFF state. Thereby, if the capacitor C3 for snubbers discharges to the capacitor C2 side for smooth with the induced voltage of Reactor L and the terminal voltage serves as zero, a current will flow through Reactor L through diode D2. Then, the turn-on of the 1st synchronous detection switch

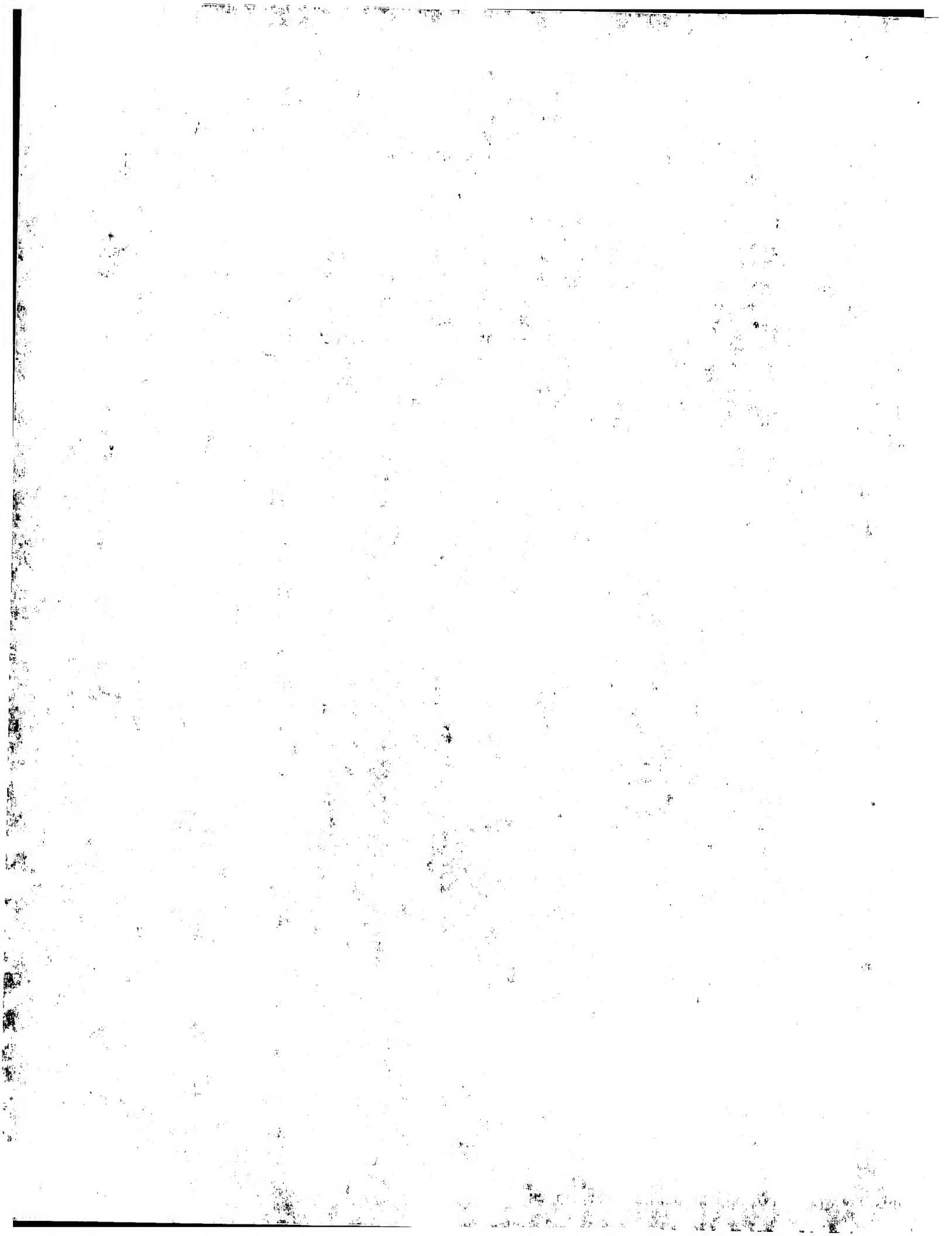
SW2 is carried out. Therefore, zero electrical-potential-difference switching can be made to perform.

[0057] what this invention is not limited only to the gestalt of each above-mentioned operation, and can make an addition change variously -- it is -- the 1- the 3rd synchronous detection switches SW1-SW3 and diodes D2 and D3 are realizable with the field-effect transistor which contains parasitism diode, respectively. Moreover, the time delay of the turn-on of the synchronous detection switch SW2 after setting a main switch SW1 to OFF can also be considered as the configuration which performs turn-on control of the synchronous detection switch SW2 using the timing which added the configuration which considers as the configuration obtained by the delay circuit shown in drawing 4 , or detects the discharge current of the capacitor C3 for snubbers, and detected the discharge current.

[0058]

[Effect of the Invention] The main switch SW1 according [this invention] to a field-effect transistor etc. as explained above, The synchronous detection switch SW2 by the field-effect transistor of a configuration of having carried out parallel connection of the diode D2 etc., The capacitor C3 for snubbers linked to juxtaposition is included in this synchronous detection switch SW2. A control circuit ON of a main switch SW1 and OFF are controlled to fixed-ize output voltage V_{out} . When this main switch SW1 is set to ON, the synchronous detection switch SW2 is made off. It is what carries out a turn-on when a main switch SW1 is made off, the discharge current flows to the capacitor for snubbers, and a current flows to diode D2 and the applied voltage to the synchronous detection switch SW2 serves as zero. While reducing loss by the diode D2 as an object for rectification, there is an advantage which can reduce switching loss by zero electrical-potential-difference switching.

[Translation done.]



* NOTICES *

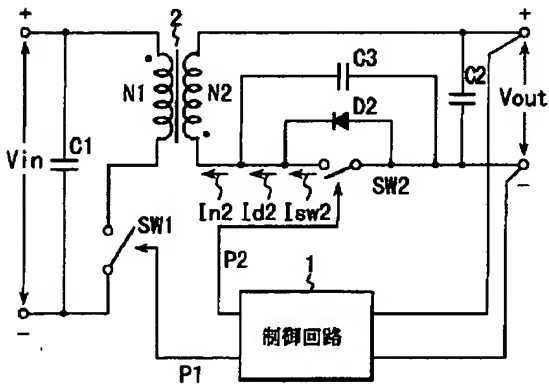
Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

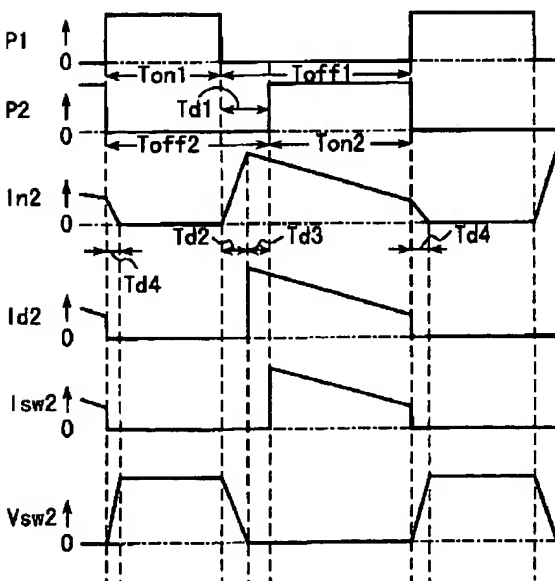
[Drawing 1]

本発明の第1の実施の形態の説明図



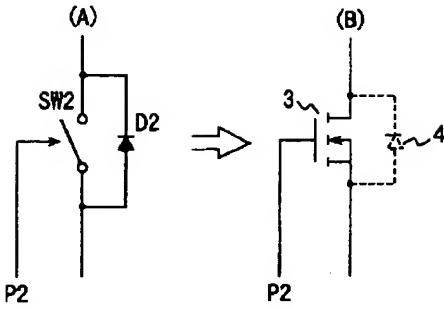
[Drawing 2]

本発明の第1の実施の形態の動作説明図



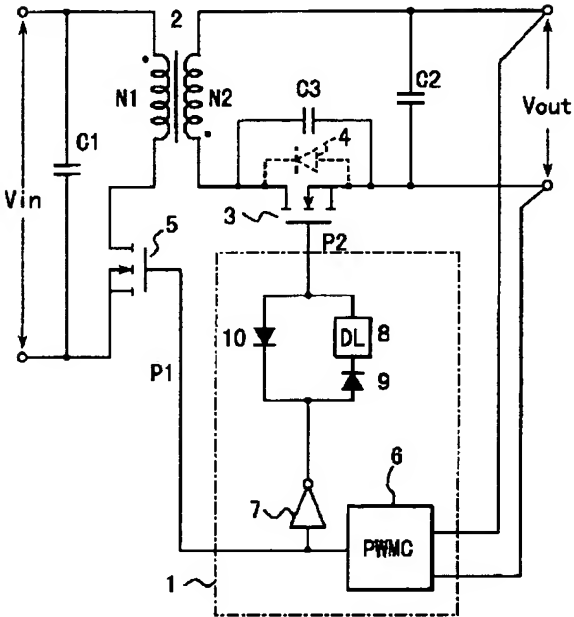
[Drawing 3]

同期整流スイッチの説明図



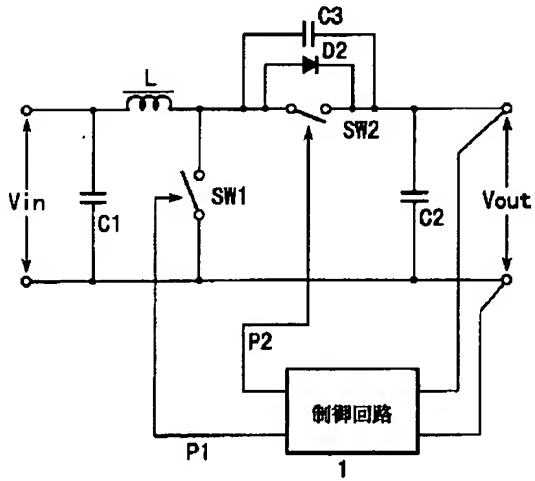
[Drawing 4]

本発明の第2の実施の形態の説明図



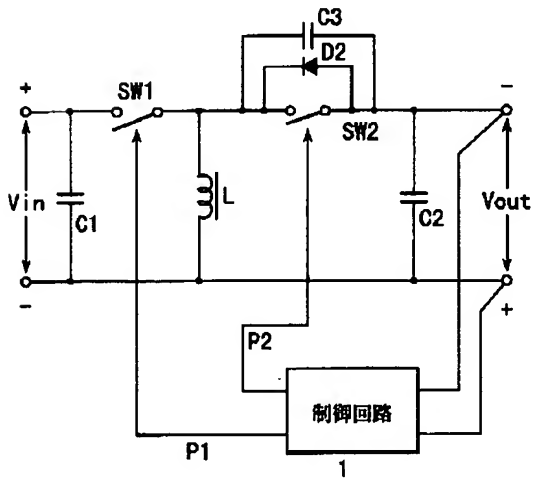
[Drawing 5]

本発明の第3の実施の形態の説明図



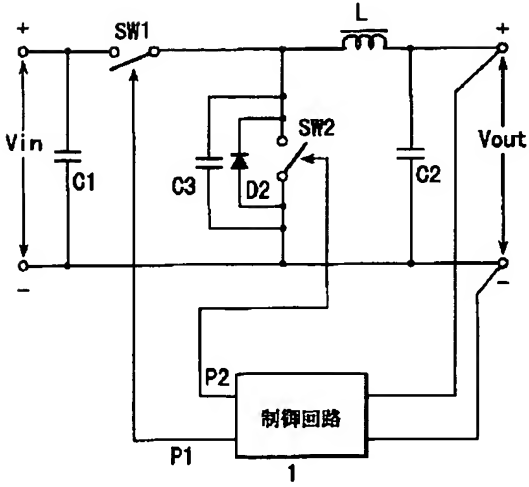
[Drawing 6]

本発明の第4の実施の形態の説明図



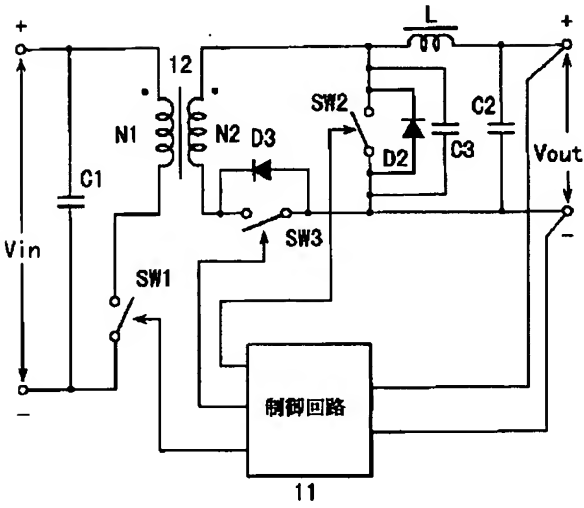
[Drawing 7]

本発明の第5の実施の形態の説明図



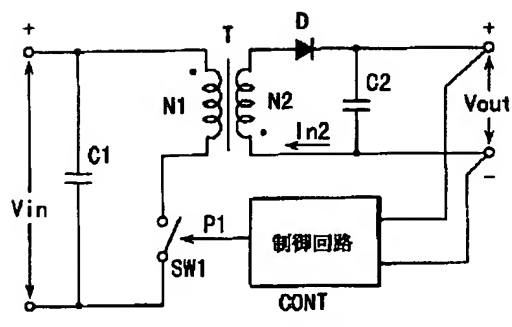
[Drawing 8]

本発明の第6の実施の形態の説明図



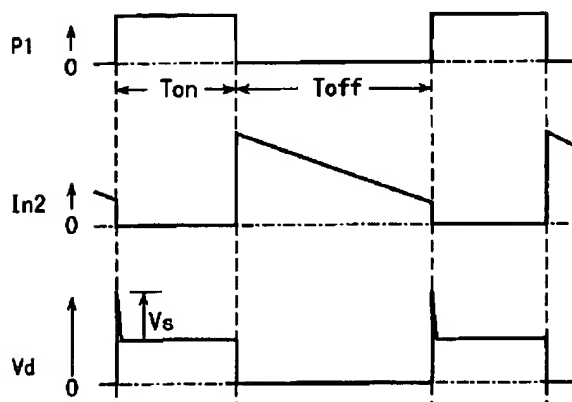
[Drawing 9]

従来例のフライバックコンバータ構成の説明図



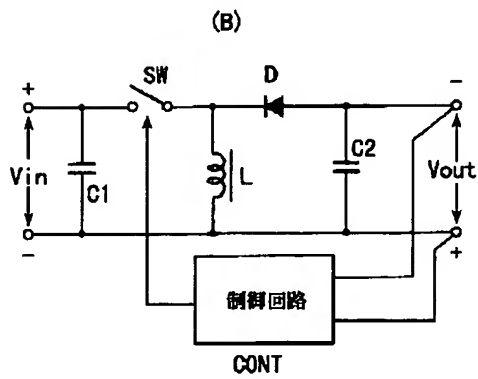
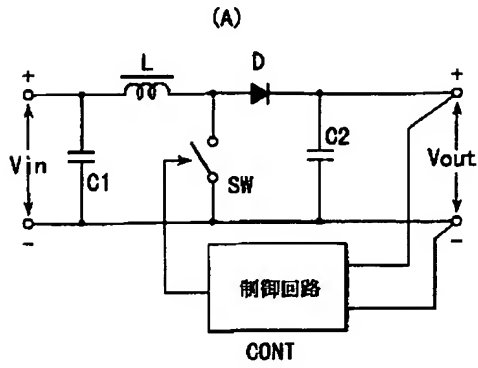
[Drawing 10]

従来例の動作説明図



[Drawing 11]

従来例のブーストコンバータ構成及びバックブーストコンバータ構成の説明図



[Drawing 12]

従来例のバックコンバータ構成及びフォワードコンバータ構成の説明図

